

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-029693

(43)Date of publication of application : 31.01.2003

(51)Int.Cl.

G09G 3/22

G09G 3/20

(21)Application number : 2001-210067

(71)Applicant : CANON INC

(22)Date of filing : 10.07.2001

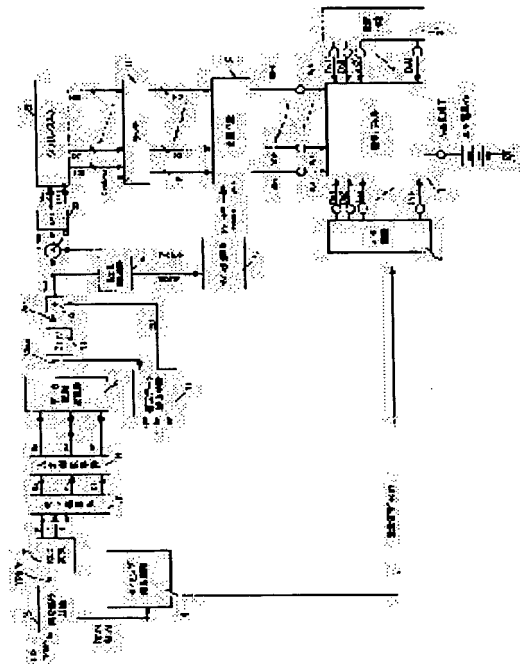
(72)Inventor : SAGANO OSAMU  
ABE NAOTO  
SAITO YUTAKA

## (54) DEVICE AND METHOD FOR DISPLAYING IMAGE

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide an image display device for appropriately correcting an influence under a voltage drop caused by the wiring resistance of row wiring on a display panel.

SOLUTION: This device is provided with a discrete correction data calculating part for setting a plurality of discrete reference values to inputted image data and calculating correction data in each of image data reference values, a correction data interpolating means for interpolating the correction data for each of discrete reference values and calculating correction data corresponding to the size of the inputted image data and an arithmetic means for operating the correction data calculated by the correction data interpolating means and the image data. Besides, the device is equipped with a means for suppressing the voltage drop to occur by reducing the input image data by applying gain processing or limiter processing having a projecting distribution, with which the value of a horizontal display position becomes greater toward the center of a picture.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection][Date of requesting appeal against examiner's decision of  
rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**THIS PAGE BLANK (USPTO)**

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2003-29693  
(P2003-29693A)

(43)公開日 平成15年1月31日(2003.1.31)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード*(参考)
G 0 9 G 3/22		G 0 9 G 3/22	H 5 C 0 8 0
3/20	6 1 1	3/20	6 1 1 J
	6 1 2		6 1 2 U
	6 4 1		6 4 1 C
	6 4 2		6 4 2 A

審査請求 未請求 請求項の数26 O L (全 36 頁) 最終頁に続く

(21)出願番号 特願2001-210067(P2001-210067)

(22)出願日 平成13年7月10日(2001.7.10)

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 嵯峨野 治

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(72)発明者 阿部 直人

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

(74)代理人 100085006

弁理士 世良 和信 (外2名)

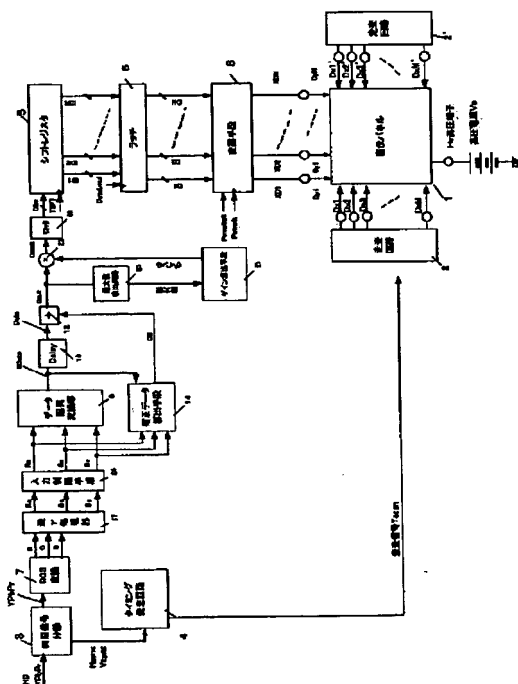
最終頁に続く

(54)【発明の名称】 画像表示装置及びその表示方法

(57)【要約】

【課題】 表示パネルの行配線の配線抵抗により発生する電圧降下の影響を好適に補正する画像表示装置を提供する。

【解決手段】 入力される画像データに対し、複数の離散的な基準値を設定し、該画像データ基準値における、補正データを算出する離散的補正データ算出部と、該離散的な基準値に対する補正データを補間して、入力された画像データの大きさに応じた補正データを算出する補正データ補間手段と、補正データ補間手段が算出する補正データと、画像データを演算する演算手段とを備える。また、入力画像データを、水平表示位置が画面の中央に近いほどその値が大きくなる凸状の分布をもつゲイン処理を施すか、あるいは、リミッタ処理を施すことで、低減することにより、発生する電圧降下を抑制する手段を備える。



**【特許請求の範囲】**

【請求項 1】複数の行配線及び列配線のそれぞれに対して 1 本ずつ接続されマトリクス状に配置された複数の表示素子と、

前記行配線に接続され、順次行配線を走査する走査手段と、

前記列配線に接続された変調手段と、

入力された画像データに対して、その大きさを制限する入力データ制限手段と入力データ制限手段の出力する画像データを前記行配線の抵抗分によって発生する電圧降下の影響を補償すべく補正した補正画像データを算出する補正画像データ算出手段と、を備える画像表示装置であって、

前記変調手段は、前記補正画像データに基づいて、各列配線に印加する信号を発生することを特徴とする画像表示装置。

【請求項 2】前記入力データ制限手段は、入力された画像データの水平表示位置に応じた第 1 ゲインを発生するゲイン発生手段と、前記第 1 ゲインと入力された画像データを演算する第 1 演算手段と、を含むことを特徴とする請求項 1 に記載の画像表示装置。

【請求項 3】前記ゲイン発生手段により決定される第 1 ゲインは、画像データの水平表示位置に応じた変数であって、水平表示位置が画面の中央に近いほどその値が大きい凸状の分布をもつことを特徴とする請求項 2 に記載の画像表示装置。

【請求項 4】前記ゲイン発生手段により決定される第 1 ゲインは、画像データの水平表示位置に応じた関数であって、該関数はガウシアン関数として記述できることを特徴とする請求項 3 に記載の画像表示装置。

【請求項 5】前記ゲイン発生手段により決定される第 1 ゲインは、画像データの水平表示位置に応じた関数であって、該関数は 2 次関数として記述できることを特徴とする請求項 3 に記載の画像表示装置。

【請求項 6】前記ゲイン決定手段により決定される第 1 ゲインは、予め計算された値としてメモリに格納されていることを特徴とする請求項 1 乃至 5 のいずれかに記載の画像表示装置。

【請求項 7】前記第 1 の演算手段は、入力された画像データと、前記ゲイン発生手段により決定された第 1 ゲインとを乗算する乗算器であることを特徴とする請求項 1 乃至 6 のいずれか一つに記載の画像表示装置。

【請求項 8】前記入力制限手段は、入力された画像データの大きさに応じて、出力を決定する変換手段であることを特徴とする請求項 1 に記載の画像表示装置。

【請求項 9】前記入力制限手段は、入力された画像データに対し、リミット値を持ったリミット手段であって、入力された画像データとリミット値を比較し、入力された画像データが大きければ、リミット値を出力することを特徴とする請求項 8 に記載の画像表示装置。

【請求項 10】前記入力制限手段はテーブルメモリを有することを特徴とする請求項 8 に記載の画像表示装置。

【請求項 11】前記テーブルメモリは、入力が小さい領域では、出力と入力が線形な関係にあるが、入力が大きい領域では、出力は入力の増加に対し飽和する飽和特性が、記憶されていること、を特徴とする請求項 10 項に記載の画像表示装置。

【請求項 12】前記テーブルメモリは、入力された画像データを逆  $\gamma$  変換する逆  $\gamma$  特性と、入力が小さい領域では、出力が入力とともに線形に増加するが、入力が大きい領域では、出力が入力の増加に対し飽和する飽和特性と、を乗算した結果が記憶されていることを特徴とする請求項 10 に記載の画像表示装置。

【請求項 13】前記補正画像データ算出手段は、入力制限手段の出力する画像データに対し、前記行配線の抵抗分によって発生する電圧降下の影響を補正する補正データを算出する補正データ算出手段と、前記補正データと入力制限手段の出力する画像データを演算する第 2 演算手段と、を含むことを特徴とする請求項 1 に記載の画像表示装置。

【請求項 14】前記第 2 の演算手段は、前記該補正データ算出手段によって算出された補正データと、入力制限手段の出力する画像データを加算する加算器であることを特徴とする請求項 13 に記載の画像表示装置。

【請求項 15】前記画像表示装置は、前記補正画像データの最大値を検出する最大値検出手段と、

前記最大値に応じて第 2 のゲインを算出する手段と、前記補正画像データに対して、第 2 のゲインを乗算する乗算器を備えること、を特徴とする請求項 1 乃至 14 のいずれかに記載の画像表示装置。

【請求項 16】前記ゲイン算出手段は、垂直掃線期間において第 2 ゲインを更新することを特徴とする請求項 15 に記載の画像表示装置。

【請求項 17】前記ゲイン算出手段は、現在のフレームよりも前のフレームにおける前記最大値検出手段による検出結果を用いて第 2 ゲインを算出することを特徴とする請求項 15 に記載の画像表示装置。

【請求項 18】前記補正データ算出手段は、同一行配線に沿って設定された基準点によって該行配線を複数の領域に分割し、さらに、入力制限手段の出力する画像データに対し、複数の離散的な画像データ基準値を設定し、

前記基準点における、前記離散的な画像データ基準値に対する、補正データを算出する離散的補正データ算出手段と、

前記基準点において、前記離散的な画像データ基準値に対して算出された、離散的な補正データを補間し、入力された画像データの水平表示位置と、その大きさに応じた、

補正データを算出する補正データ補間手段と、を備える請求項1に記載の画像表示装置。

【請求項19】前記離散的補正データ算出手段は、走査配線上の電圧降下量を算出する電圧降下量算出部と、前記電圧降下量を、輝度低下量に変換する変換部と、前記輝度低下量に基づいて、前記離散的補正データを算出する算出部と、を有することを特徴とする請求項18に記載の画像表示装置。

【請求項20】前記変調手段は、該変調手段への入力に応じて、各列配線に印加する電圧パルス波形のパルス幅を可変することにより変調を行うパルス幅変調手段であることを特徴とする請求項1乃至19のいずれか一つに記載の画像表示装置。

【請求項21】前記表示素子は、冷陰極素子であることを特徴とする請求項1乃至20のいずれか一つに記載の画像表示装置。

【請求項22】前記冷陰極素子は表面伝導型放出素子であることを特徴とする請求項21に記載の画像表示装置。

【請求項23】複数の行配線及び列配線のそれぞれに対して1本ずつ接続されマトリクス状に配置された複数の表示素子と、前記行配線に接続され、順次行配線を走査する走査手段と、前記列配線に接続された変調手段と、を備える画像表示装置の表示方法であって、入力された画像データに対して、その大きさを制限する入力データ制限工程と入力データ制限工程の結果である画像データに対し、前記行配線の抵抗分によって発生する電圧降下の影響を補正した補正画像データを算出する補正画像データ算出工程と、前記補正画像データに基づいて、各列配線に印加する信号を発生する変調信号発生工程とを含む画像表示装置の表示方法。

【請求項24】前記入力データ制限工程は、入力された画像データの水平表示位置に応じたゲインを発生するゲイン発生工程と、前記ゲインと入力された画像データを演算する第1演算工程と、を含むことを特徴とする請求項23に記載の画像表示装置の表示方法。

【請求項25】前記入力制限工程は、入力された画像データに対し、その振幅を制限するリミッタ工程であることを特徴とする請求項23に記載の画像表示装置の表示方法。

【請求項26】前記補正画像データ算出工程は、入力制限工程の結果に対し、前記行配線の抵抗分によって発生する電圧降下の影響を補正する補正データを算出する補正データ算出工程と、前記補正データと入力制限工程の結果を演算する第2演算工程と、を含むことを特徴とす

る請求項23に記載の画像表示装置の表示方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マトリクス配線された複数の画像を表示するための表示素子を備えた表示パネルを用いてテレビジョン信号やコンピュータ等の表示信号を受信して画像を表示するテレビジョン信号機やディスプレイ装置等の画像表示装置及びその表示方法に関するものである。

【0002】

【従来の技術】従来、この種の画像表示装置においては、マトリクス状に配線された複数の表示素子（ $m$ 本の行配線及び $n$ 本の列配線に配線されてマトリクス状に配列された $n \times m$ 個の表示素子）を設けて、行配線に対して順次走査を行うと共に、列方向に変調を行うことによって、1行分の素子群を同時に駆動していた。

【0003】このように駆動する場合には、行配線において、配線による電気抵抗の低下による不具合が問題となっている。

【0004】そこで、このような表示素子への電気的な接続配線などの配線抵抗による電圧降下に起因する輝度低下を補正するために、統計演算によりその補正データを算出し、電子線要求値と補正値を合成する構成を有する画像表示装置が、特開平8-248920号公報に開示されている。

【0005】この公報記載の画像表示装置の構成を図27に示す。本装置におけるデータの補正に係わる構成は概略以下の通りである。まず、ディジタル画像信号の1ライン分の輝度データを合算器208で合算し、この合算値に対応する補正率データをメモリ207から読み出す。一方、ディジタル画像信号はシフトレジスタ204においてシリアル/パラレル変換され、ラッチ回路205において所定時間保持された後、所定のタイミングで各列配線毎に備えられる乗算器208に入力される。乗算器208において各列配線毎に輝度データとメモリ207から読み出された補正データを乗算し、得られた補正後のデータは変調信号発生器209に転送され、補正後のデータに対応する変調信号が変調信号発生器209において生成され、この変調信号に基づいて表示パネルに画像が表示される。ここでは、合算器208におけるディジタル画像信号の1ライン分の輝度データの合算処理のように、ディジタル画像信号に対して総和や平均を算出するというような統計的な演算処理を行い、この値に基づいて補正を行っている。

【0006】

【発明が解決しようとする課題】画像表示装置には様々な条件の信号が入力される。例えば一つの画像内においても、各画素の輝度は多くの場合一つの値にはならない。このように様々な条件の信号が入力される構成であっても、好適な補正を実現できるようにすることを課題

の一つとする。また、より簡略な構成で補正を実現できるようにすることを課題の一つとする。本願に係る発明は、上記課題の少なくともいずれかを解決しようとするものである。

【0007】

【課題を解決するための手段】上記課題を解決するために、本願に係る発明は、複数の行配線及び列配線のそれぞれに対して1本ずつ接続されマトリクス状に配置された複数の表示素子と、前記行配線に接続され、順次行配線を走査する走査手段と、前記列配線に接続された変調手段と、入力された画像データに対して、その大きさを制限する入力データ制限手段と入力データ制限手段の出力する画像データを前記行配線の抵抗分によって発生する電圧降下の影響を補償すべく補正した補正画像データを算出する補正画像データ算出手段と、を備える画像表示装置であって、前記変調手段は、前記補正画像データに基づいて、各列配線に印加する信号を発生することを特徴とする。また、前記入力データ制限手段は、入力された画像データの水平表示位置に応じた第1ゲインを発生するゲイン発生手段と、前記第1ゲインと入力された画像データを演算する第1演算手段と、を含むことが好ましい。また、前記ゲイン発生手段により決定される第1ゲインは、画像データの水平表示位置に応じた変数であって、水平表示位置が画面の中央に近いほどその値が大きい凸状の分布をもつことが好ましい。また、前記ゲイン発生手段により決定される第1ゲインは、画像データの水平表示位置に応じた関数であって、該関数はガウシアン関数として記述できることが好ましい。また、前記ゲイン発生手段により決定される第1ゲインは、画像データの水平表示位置に応じた関数であって、該関数は2次関数として記述できることが好ましい。また、前記ゲイン決定手段により決定される第1ゲインは、予め計算された値としてメモリに格納されていることが好ましい。また、前記第1の演算手段は、入力された画像データと、前記ゲイン発生手段により決定された第1ゲインとを乗算する乗算器であることが好ましい。また、前記入力制限手段は、入力された画像データの大きさに応じて、出力を決定する変換手段であることが好ましい。また、前記入力制限手段は、入力された画像データに対し、リミット値を持ったリミット手段であって、入力された画像データとリミット値を比較し、入力された画像データが大きければ、リミット値を出力することが好ましい。また、前記入力制限手段はテーブルメモリを有することが好ましい。また、前記テーブルメモリは、入力が小さい領域では、出力と入力が線形な関係にあるが、入力が大きい領域では、出力は入力の増加に対し飽和する飽和特性が、記憶されていることが好ましい。また、前記テーブルメモリは、入力された画像データを逆 $\gamma$ 変換する逆 $\gamma$ 特性と、入力が小さい領域では、出力が入力とともに線形に増加するが、入力が大きい領域では、出

力が入力の増加に対し飽和する飽和特性と、を乗算した結果が記憶されていることが好ましい。また、前記補正画像データ算出手段は、入力制限手段の出力する画像データに対し、前記行配線の抵抗分によって発生する電圧降下の影響を補正する補正データを算出する補正データ算出手段と、前記補正データと入力制限手段の出力する画像データを演算する第2演算手段と、を含むことが好ましい。また、前記第2の演算手段は、前記補正データ算出手段によって算出された補正データと、入力制限手段の出力する画像データを加算する加算器であることが好ましい。また、前記画像表示装置は、前記補正画像データの最大値を検出する最大値検出手段と、前記最大値に応じて第2のゲインを算出する手段と、前記補正画像データに対して、第2のゲインを乗算する乗算器を備えることが好ましい。また、前記ゲイン算出手段は、垂直帰線期間において第2ゲインを更新することが好ましい。また、前記ゲイン算出手段は、現在のフレームよりも前のフレームにおける前記最大値検出手段による検出結果を用いて第2ゲインを算出することが好ましい。また、前記補正データ算出手段は、同一行配線に沿って設定された基準点によって該行配線を複数の領域に分割し、さらに、入力制限手段の出力する画像データに対し、複数の離散的な画像データ基準値を設定し、前記基準点における、前記離散的な画像データ基準値に対する、補正データを算出する離散的補正データ算出手段と、前記基準点において、前記離散的な画像データ基準値に対して算出された、離散的な補正データを補間し、入力された画像データの水平表示位置と、その大きさに応じた、補正データを算出する補正データ補間手段と、を備えるのが好ましい。また、前記離散的補正データ算出手段は、走査配線上の電圧降下量を算出する電圧降下量算出部と、前記電圧降下量を、輝度低下量に変換する変換部と、前記輝度低下量に基づいて、前記離散的補正データを算出する算出部と、を有することが好ましい。また、前記変調手段は、該変調手段への入力に応じて、各列配線に印加する電圧パルス波形のパルス幅を変換することにより変調を行うパルス幅変調手段であることが好ましい。また、前記表示素子は、冷陰極素子であることが好ましい。また、前記冷陰極素子は表面伝導型放出素子であってもよい。また、他の発明は、複数の行配線及び列配線のそれぞれに対して1本ずつ接続されマトリクス状に配置された複数の表示素子と、前記行配線に接続され、順次行配線を走査する走査手段と、前記列配線に接続された変調手段と、を備える画像表示装置の表示方法であって、入力された画像データに対して、その大きさを制限する入力データ制限工程と入力データ制限工程の結果である画像データに対し、前記行配線の抵抗分によって発生する電圧降下の影響を補正した補正画像データを算出する補正画像データ算出工程と、前記補正画像データに基づいて、各列配線に印加する信号を発生す

る変調信号発生工程とを含むことを特徴とする。また、前記入力データ制限工程は、入力された画像データの水平表示位置に応じたゲインを発生するゲイン発生工程と、前記ゲインと入力された画像データを演算する第1演算工程と、を含むことが好ましい。また、前記入力制限工程は、入力された画像データに対し、その振幅を制限するリミッタ工程であることが好ましい。また、前記補正画像データ算出工程は、入力制限工程の結果に対し、前記行配線の抵抗分によって発生する電圧降下の影響を補正する補正データを算出する補正データ算出工程と、前記補正データと入力制限工程の結果を演算する第2演算工程と、を含むことが好ましい。

#### 【0008】

【発明の実施の形態】以下に図面を参照して、この発明の好適な実施の形態を例示的に詳しく説明する。ただし、この実施の形態に記載されている構成部品の寸法、材質、形状、その相対配置などは、特に特定の記載がない限りは、この発明の範囲をそれらのみに限定する趣旨のものではない。

【0009】（第1の実施の形態）本発明の第1の実施の形態について説明する。

【0010】（全体概要）冷陰極素子を単純マトリクスに配置した表示装置においては、走査配線に流れ込む電流と、走査配線の配線抵抗により電圧降下が発生し、表示画像が劣化するという現象がある。そこで、本発明の実施の形態に係る画像表示装置では、このような走査配線における電圧降下が表示画像に与える影響を好適に補正する処理回路を設け、特に、それを比較的小さな回路規模で実現するように構成した。

【0011】補正回路は、入力画像データに応じて電圧降下のために生じる表示画像の劣化を計算し、それを補正する補正データを求め、入力された画像データに補正を施すものである。

【0012】このような補正回路を内蔵した画像表示装置として、発明者らは以下に示すような方式の画像表示装置について鋭意検討を行ってきた。

【0013】以下、本発明について説明するに際して、まず、本発明の実施形態に係る画像表示装置の表示パネルの概観、表示パネルの電気的接続、表面伝導型放出素子の特性、表示パネルの駆動方法、このような表示パネルによって画像を表示する際の走査配線の電気抵抗に起因する駆動電圧の低下の機構、及び、電圧降下の影響に対する補正方法及び装置について説明する。

【0014】（画像表示装置の概観）図1は、本実施形態に係る画像表示装置に用いた表示パネルの斜視図であり、内部構造を示すためにパネルの一部を切り欠いて示している。図中、1005はリアプレート、1006は側壁、1007はフェースプレートであり、1005～1007により表示パネルの内部を真空中に維持するための気密容器を形成している。

【0015】リアプレート1005には、基板1001が固定されているが、該基板には冷陰極素子1002が $N \times M$ 個形成されている。行配線（走査配線）1003、列配線（変調配線）1004及び冷陰極素子は図2のように接続されている。

【0016】このような結線構造を単純マトリクスと呼んでいる。

【0017】また、フェースプレート1007の下面には、蛍光膜1008が形成されている。本実施形態に係る画像表示装置はカラー表示装置であるため、蛍光膜1008の部分にはCRTの分野で用いられる赤、緑、青、の3原色の蛍光体が塗り分けられている。蛍光体は、リアプレート1005の各画素（絵素）に対応してマトリクス状に形成された、冷陰極素子からの放出電子（放出電流）の照射される位置に対して、画素を形成するように構成されている。

【0018】蛍光膜1008の下面にはメタルバック1009が形成されている。

【0019】 $H_v$ は高圧端子でありメタルバック1009に電気的に接続されている。 $H_v$ 端子に高電圧を印加することによりリアプレート1005とフェースプレート1007の間に高電圧が印加される。

【0020】本実施形態では、以上のような表示パネルの中に冷陰極素子として表面伝導型放出素子を作製した。冷陰極素子としては電界放出型の素子を用いることもできる。また、冷陰極素子以外のEL素子のような自ら発光する素子をマトリクス状配線に接続して駆動する画像表示装置にも本発明を適用することができる。

【0021】（表面伝導型放出素子の特性）表面伝導型放出素子は、図3に示すような（放出電流 $I_e$ ）対（素子印加電圧 $V_f$ ）特性、および（素子電流 $I_f$ ）対（素子印加電圧 $V_f$ ）特性を有する。なお、放出電流 $I_e$ は素子電流 $I_f$ に比べて著しく小さく、同一尺度で図示するのが困難であるため、2本のグラフは各々異なる尺度で図示した。

【0022】すなわち、放出電流 $I_e$ に関して以下に述べる3つの特性を有している。

【0023】第一に、ある電圧（これを閾値電圧 $V_{th}$ と呼ぶ）以上の電圧を素子に印加すると急激に放出電流 $I_e$ が増加するが、一方、閾値電圧 $V_{th}$ 未満の電圧では放出電流 $I_e$ はほとんど検出されない。

【0024】すなわち、放出電流 $I_e$ に関して、明確な閾値電圧 $V_{th}$ を持った非線形素子である。

【0025】また第二に、放出電流 $I_e$ は素子に印加する電圧 $V_f$ に依存して変化するため、電圧 $V_f$ を変換することにより、放出電流 $I_e$ の大きさを制御できる。

【0026】また第三に、冷陰極素子は高速な応答性を有しているため、電圧 $V_f$ の印加時間により放出電流 $I_e$ の放出時間を制御できる。

【0027】以上のような特性の利用により、表面伝導

型放出素子を表示装置に好適に用いることができる。例えば、図1に示した表示パネルを用いた画像表示装置において、第一の特性を利用すれば、表示画面を順次走査して表示を行うことが可能である。すなわち、駆動中の素子には所望の発光輝度に応じて閾値電圧 $V_{th}$ 以上の電圧を適宜印加し、非選択状態の素子には閾値電圧 $V_{th}$ 未満の電圧を印加する。駆動する素子を順次切り替えることにより、表示画面を順次走査して表示を行うことが可能である。

【0028】また、第二の特性を利用することにより、素子に印加する電圧 $V_f$ により、蛍光体の発光輝度を制御することができ、画像表示を行うことが可能である。

【0029】また、第三の特性を利用することにより、素子に電圧 $V_f$ を印加する時間により、蛍光体の発光時間を制御することができ、画像の表示を行うことができる。

【0030】本発明の画像表示装置では表示パネルの電子ビームの量を上記第三の特性を用いて変調を行った。

【0031】(表示パネルの駆動方法) 図4を用いて本発明の表示パネルの駆動方法を具体的に説明する。

【0032】図4は本発明の実施の形態に係る画像表示装置の表示パネルを駆動した際に走査配線及び変調配線の電圧供給端子に印加した電圧の一例である。

【0033】いま、水平走査期間 $I$ は $i$ 行目のピクセルを発光させる期間とする。

【0034】 $i$ 行目のピクセルを発光させるためには、 $i$ 行目の走査配線を選択状態とし、その電圧供給端子 $D_{xi}$ に選択電位 $V_s$ を印加する。また、それ以外の走査配線の電圧供給端子 $D_{xk}$  ( $k=1, 2, \dots, N$ , 但し $k \neq i$ ) は非選択状態とし、非選択電位 $V_{ns}$ を印加する。

【0035】本例では、選択電位 $V_s$ を図3に記載の電圧 $V_{SEL}$ の半分の $0.5V_{SEL}$ に設定し、非選択電位 $V_{ns}$ はGND電位とした。

【0036】また変調配線の電圧供給端子には、電圧振幅 $V_{pwm}$ のパルス幅変調信号を供給した。 $j$ 番目の変調配線に供給するパルス幅変調信号のパルス幅は、従来、補正を行わない場合は、表示する画像の第 $i$ 行第 $j$ 列のピクセルの画像データの大きさに応じて決定し、すべての変調配線に各々のピクセルの画像データの大きさに応じたパルス幅変調信号を供給していた。(なお、本発明においては、後述するように、電圧降下の影響による、輝度の低下を補正するために、 $j$ 番目の変調配線に供給するパルス幅変調信号のパルス幅は、表示する画像の第 $i$ 行第 $j$ 列のピクセルの画像データの大きさと、その補正量に応じて決定し、すべての変調配線にパルス幅変調信号を供給する。)

【0037】本実施形態では、電圧 $V_{pwm}$ の電圧は $0.5V_{SEL}$ に設定した。

【0038】表面伝導型放出素子は、図3に示したよう

に素子の両端に電圧 $V_{SEL}$ が印加されると電子を放出させるが、印加電圧が $V_{th}$ よりも小さい電圧では全く電子を放出しない。

【0039】また、電圧 $V_{th}$ は図3に示すように、 $0.5V_{SEL}$ よりも大きいという特徴がある。

【0040】このため、非選択電位 $V_{ns}$ が印加されている走査配線に接続された表面伝導型放出素子からは電子は放出されない。

【0041】また、同じように、パルス幅変調手段の出力がグランド電位である期間(以降、出力が“L”の期間と呼ぶ)は、選択された走査配線上の表面伝導型放出素子の両端に印加される電圧は $V_s$ であるため、電子は放出されない。

【0042】選択電位 $V_s$ が印加された走査配線上の表面伝導型放出素子からは、パルス幅変調手段の出力が $V_{pwm}$ である期間(以降、出力が“H”の期間と呼ぶ)に応じて電子が放出される。電子が放出されれば放出された電子ビームの量に応じて前述の蛍光体が発光するため、放出された時間に応じた輝度を発光させることができる。

【0043】本発明の実施の形態に係る画像表示装置も、このような表示パネルを線順次走査、パルス幅変調することによって画像を表示している。

【0044】(走査配線での電圧降下について) 上述したように、画像表示装置の抱える根本的な課題は、表示パネルの走査配線における電圧降下によって、走査配線上の電位が上昇することにより、表面伝導型放出素子に印加される電圧が減少するため、表面伝導型放出素子からの放出電流が低減してしまうことである。以下、この電圧降下の機構について説明する。

【0045】表面伝導型放出素子の設計仕様や製法によっても異なるが、表面伝導型放出素子の1素子分の素子電流は電圧 $V_{SEL}$ を印加した場合に数 $100\mu A$ 程度である。

【0046】このため、ある水平走査期間において選択された走査線上の1ピクセルのみを発光させ、それ以外のピクセルは発光させない場合には、変調配線から選択行の走査配線に流入する素子電流は1ピクセル分の電流(すなわち上述の数 $100\mu A$ )だけであるため、電圧降下はほとんど生じることはなく、発光輝度が低下することはない。

【0047】しかし、ある水平走査期間において、選択された行の全ピクセルを発光させる場合には、全変調配線から選択状態としている走査配線に対し、全ピクセル分の電流が流入するため、電流の総和は数 $100mA \sim$ 数 $A$ となり、走査配線の配線抵抗によって走査配線上に電圧降下が発生していた。

【0048】走査配線上に電圧降下が発生すれば、表面伝導型放出素子の両端に印加される電圧が低下する。このため表面伝導型放出素子から発光される放出電流が低



下してしまい、結果として発光輝度が低下していた。

【0049】具体的に、表示画像として、図5(a)に示したような黒の背景に白い十字状のパターンを表示した場合を考えてみる。

【0050】すると同図の行 $L$ を駆動する際には、点灯しているピクセルの数が少ないため、その行の走査配線にはほとんど電圧降下が生じない。その結果各ピクセルの表面伝導型放出素子からは所望の量の放出電流が放出され、所望の輝度で発光させることができる。

【0051】一方、同図の行 $L'$ を駆動する際には、同時にすべてのピクセルが点灯するため、走査配線上に電圧降下が発生し、各ピクセルの表面伝導型放出素子からの放出電流が減少する。その結果、行 $L'$ のラインでは輝度が低下することとなる。

【0052】このように、1水平ラインごとの画像データの違いにより、電圧降下によって受ける影響が変化するため、図5(a)のような十字パターンを表示する際には同図(b)のような画像が表示されてしまっていた。

【0053】なおこの現象は十字パターンに限るものではなく、たとえばウインドウパターンや、自然画像を表示した際にも発生するものである。

【0054】また、さらに複雑なことに、電圧降下の大きさはパルス幅変調によって変調を行うことにより1水平走査期間の中でも変化する性質を持っている。

【0055】各列に供給するパルス幅変調信号が、図4に示したように入力されるデータに対し、そのデータの大きさに依存したパルス幅の、立ち上がりが同期したパルス幅変調信号を出力する場合には、入力画像データにもよるが一般的には、1水平走査期間のなかでは、パルスの立ち上がり直後ほど点灯しているピクセルの数が多く、その後輝度の低い箇所から順に消灯していくため、点灯するピクセルの数は1水平走査期間の中では、時間を追って減少する。

【0056】したがって、走査配線上に発生する電圧降下の大きさも、1水平走査期間の初めほど大きく次第に減少していく傾向がある。

【0057】パルス幅変調信号は変調の1階調に相当する時間ごとに出力が変化するため、電圧降下の時間的な変化もパルス幅変調信号の1階調に相当する時間毎に変化する。

【0058】以上、走査配線における電圧降下について説明した。

【0059】次に、電圧降下の影響に対する補正の仕方について詳述する。

【0060】(電圧降下の計算方法) 発明者らは、電圧降下の影響を低減するための補正量を求めるには、まずその第一段階として、電圧降下の大きさとその時間変化をリアルタイムに予測するハードウェアを開発することが必要と考えた。

【0061】しかし、本発明の実施の形態に係る画像表示装置の表示パネルとしては、数千本もの変調配線を備えることが一般的であり、変調配線のすべてと走査配線との交点の電圧降下を計算することは非常に困難であるとともに、それをリアルタイムで計算するハードウェアを作製することは現実的ではなかった。

【0062】一方、発明者らが電圧降下の検討を行った結果、以下のような特徴があることが分かってきた。

【0063】i) 1水平走査期間のある時点においては、走査配線上に発生する電圧降下は走査配線上で空間的に連続的な量であり非常に滑らかなカーブである。

【0064】ii) 電圧降下の大きさは表示画像によっても異なるが、パルス幅変調の1階調に相当する時間毎に変化し、概略的には、パルスの立ち上がり部分ほど大きく、時間的には次第に小さくなるか、もしくはその大きさを維持するかのどちらかである。すなわち、図4のような駆動方法では1水平走査期間の中で電圧降下の大きさが増加することはない。

【0065】そこで、発明者らは、上述したような特徴を鑑みて、以下のような近似モデルにより簡略化して計算を行うことによって、計算量を低減できないか検討を行った。

【0066】まず、i) の特徴から、ある時点の電圧降下の大きさを計算するのに際して、数千本もの変調配線を数本~数十本の変調配線に集中化した縮退モデルによって近似的に簡略化して計算することができないか検討を行った。

【0067】なお、これについては以下の縮退モデルによる電圧降下の計算で詳細に説明する。

【0068】また、ii) に挙げた特徴から、1水平走査期間のなかに複数の時刻を設け、各時刻に対し電圧降下を計算することで電圧降下の時間変化を概略的に予測することとした。

【0069】具体的には以下で説明する縮退モデルによる電圧降下の計算を複数の時刻に対して計算することによって、電圧降下の時間変化を概略的に予測した。

【0070】(縮退モデルによる電圧降下の計算) 図6(a)は、縮退を行う際のブロック及びノードを説明するための図である。

【0071】同図では図を簡略化するため、選択された走査配線と各変調配線およびその交差部に接続される表面伝導型放出素子のみを記載した。

【0072】いま1水平走査期間の中のある時刻であって、選択された走査配線上の各ピクセルの点灯状態(すなわち変調手段の出力が" H" であるか、" L" であるか) が分かっているものとする。

【0073】この点灯状態において、各変調配線から選択された走査配線へ流れ込む素子電流を  $I_{fi}$  ( $i = 1, 2, \dots, N$ ,  $i$  は列番号) と定義する。

【0074】また、同図に示すように、 $n$  本の変調配線

と選択された走査配線のそれと交差する部分及び、その交点に配置される表面伝導型放出素子を1つのグループとしてブロックを定義する。本例では、ブロック分けを行うことで4つのブロックに分割した。

【0075】また、各々のブロックの境界位置においてノードという位置を設定した。ノードとは、縮退モデルにおいて走査配線上に発生する電圧降下量を離散的に計算するための水平位置(基準点)である。

【0076】本例ではブロックの境界位置に、ノード0～ノード4の5つのノードを設定した。

【0077】図6(b)は縮退モデルを説明するための図である。

【0078】縮退モデルでは同図(a)の1ブロックに含まれるn本の変調配線を1本に縮退化し、縮退化された1本の変調配線が、走査配線のブロックの中央に位置するように接続した。

【0079】また、縮退化された各々のブロックの変調配線には電流源が接続されており、各電流源から各々のブロック内の電流の総和 $IF_0 \sim IF_3$ が流れ込むものとした。

【0080】即ち、 $IF_j$  ( $j=0, 1, \dots, 3$ )は、

【数1】

$$IF_j = \sum_{i=j \times n+1}^{(j+1) \times n} If_i \quad (\text{式1})$$

として表される電流(式1)である。

【0081】また、走査配線の両端の電位が同図(a)の例では $V_s$ であるのに対し、同図(b)ではGND電位としているのは、縮退モデルでは、変調配線から選択した走査配線に流れ込む電流を上記電流源によりモデリングしたことにより、走査配線上の各部の電圧降下量は、その給電部を基準電位(GND)として各部の電圧(電位差)を算出することにより計算できるためである。

(つまり、電圧降下を算出する上での基準電位として規定した。)

【0082】また、表面伝導型放出素子を省略しているのは、選択された走査配線から見た場合に、列配線から同等の電流が流れ込めば、表面伝導型放出素子の有無によらず、発生する電圧降下自体は変わらないためである。従って、ここでは、各ブロックの電流源から流れ込む電流値を各ブロック内の素子電流の総和の電流値(式1)に設定することで表面伝導型放出素子を省略した。

【0083】また、各ブロックの走査配線の配線抵抗は一区間の走査配線の配線抵抗 $r$ の $n$ 倍とした(ここで一区間とは走査配線の、ある列配線との交差部とその隣の列配線との交差部の間のことを指している。また本例では、一区間の走査配線の配線抵抗は均一であるものとした。)

【0084】このような縮退モデルにおいて、走査配線上の各ノードにおいて発生する電圧降下量 $DV_0 \sim DV_4$

4は以下のような積和形式の式により、簡単に計算することができる。

【数2】

$$\begin{aligned} DV_0 &= a_{00} \times IF_0 + a_{01} \times IF_1 + a_{02} \times IF_2 + a_{03} \times IF_3 \\ DV_1 &= a_{10} \times IF_0 + a_{11} \times IF_1 + a_{12} \times IF_2 + a_{13} \times IF_3 \\ DV_2 &= a_{20} \times IF_0 + a_{21} \times IF_1 + a_{22} \times IF_2 + a_{23} \times IF_3 \\ DV_3 &= a_{30} \times IF_0 + a_{31} \times IF_1 + a_{32} \times IF_2 + a_{33} \times IF_3 \\ DV_4 &= a_{40} \times IF_0 + a_{41} \times IF_1 + a_{42} \times IF_2 + a_{43} \times IF_3 \end{aligned}$$

すなわち、

【数3】

$$DVi = \sum_{j=0}^3 a_{ij} \times IF_j \quad (\text{式2})$$

$$(i = 0, 1, 2, 3, 4)$$

が成立する。

【0085】ただし、 $a_{ij}$ は縮退モデルにおいて $j$ 番目のブロックだけに単位電流を注入したときに、 $i$ 番目のノードに発生する電圧である(以下、これを $a_{ij}$ と定義する。)

【0086】上記の $a_{ij}$ はキルヒホフの法則により以下のように簡単に導出できる。

【0087】即ち、図6(b)において、ブロック $i$ の電流源からみた走査配線の左側の供給端子までの配線抵抗を $r_{li}$  ( $i=0, 1, 2, 3, 4$ )、右側の供給端子までの配線抵抗を $r_{ri}$  ( $i=0, 1, 2, 3, 4$ )、ブロック0と左の供給端子との間の配線抵抗及びブロック4と右の供給端子との間の配線抵抗をいずれも $r_t$ と定義すれば、

【数4】

$$\begin{aligned} r_{l0} &= r_t + 0.5 \times n \times r \\ r_{r0} &= r_t + 3.5 \times n \times r \\ r_{l1} &= r_t + 1.5 \times n \times r \\ r_{r1} &= r_t + 2.5 \times n \times r \\ r_{l2} &= r_t + 2.5 \times n \times r \\ r_{r2} &= r_t + 1.5 \times n \times r \\ r_{l3} &= r_t + 3.5 \times n \times r \\ r_{r3} &= r_t + 0.5 \times n \times r \end{aligned}$$

が成立する。

【0088】さらに、

【数5】

$$\begin{aligned} a &= r_{l0} // r_{r0} = r_{l0} \times r_{r0} / (r_{l0} + r_{r0}) \\ b &= r_{l1} // r_{r1} = r_{l1} \times r_{r1} / (r_{l1} + r_{r1}) \\ c &= r_{l2} // r_{r2} = r_{l2} \times r_{r2} / (r_{l2} + r_{r2}) \\ d &= r_{l3} // r_{r3} = r_{l3} \times r_{r3} / (r_{l3} + r_{r3}) \end{aligned}$$

とおく。

【0089】すると、 $a_{ij}$ は、

【数6】

$$\begin{aligned}
 a00 &= a \times r_t / r_{l0} \\
 a10 &= a \times (r_t + 3 \times n \times r) / r_{r0} \\
 a20 &= a \times (r_t + 2 \times n \times r) / r_{r0} \\
 a30 &= a \times (r_t + 1 \times n \times r) / r_{r0} \\
 a40 &= a \times r_t / r_{r0} \\
 a01 &= b \times r_t / r_{l1} \\
 a11 &= b \times (r_t + n \times r) / r_{l1} \\
 a21 &= b \times (r_t + 2 \times n \times r) / r_{l1} \\
 a31 &= b \times (r_t + n \times r) / r_{l1} \\
 a41 &= b \times r_t / r_{l1} \\
 a02 &= c \times r_t / r_{l2} \\
 a12 &= c \times (r_t + n \times r) / r_{l2} \\
 a22 &= c \times (r_t + 2 \times n \times r) / r_{l2} \\
 a32 &= c \times (r_t + n \times r) / r_{l2} \\
 a42 &= c \times r_t / r_{l2} \\
 a03 &= d \times r_t / r_{l3} \\
 a13 &= d \times (r_t + n \times r) / r_{l3} \\
 a23 &= d \times (r_t + 2 \times n \times r) / r_{l3} \\
 a33 &= d \times (r_t + 3 \times n \times r) / r_{l3} \\
 a43 &= d \times r_t / r_{l3}
 \end{aligned} \tag{式3}$$

以上(式3)のように簡単に導出できる。(ただし式3において、 $A//B$ は、抵抗Aと抵抗Bの並列の抵抗値を表す記号であって、 $A//B = A \times B / (A + B)$ である。)

【0090】式2はブロック数が4でない場合においても、 $a_{ij}$ の定義を顧みれば、キルヒホフの法則によって簡単に算出することができる。また、本例のように走査配線の両側に給電端子を備えず片側のみに備える場合においても、 $a_{ij}$ の定義に従って計算することにより簡単に算出できる。

【0091】なお、式3によって定義されるパラメータ $a_{ij}$ は計算を行うたびに計算し直す必要はなく、一度計算してテーブルとして記憶しておけばよい。

【0092】さらに、式1で定めた各ブロックの総和電流 $IF_0 \sim IF_3$ に対し、式4のような近似を行った。

【0093】

【数7】

$$IF_j = \sum_{i=j \times n+1}^{(j+1) \times n} IF_i = IF_S \times \sum_{i=j \times n+1}^{(j+1) \times n} Count_i \tag{式4}$$

ただし、上式において $Count_i$ は選択された走査線上の*i*番目のピクセルが点灯状態である場合には1をとり、消灯状態である場合には0をとる変数である。

【0094】 $IF_S$ は表面伝導型放出素子1素子の両端に電圧 $V_{SEL}$ を印加したときに流れる素子電流 $IF$ に対し、0～1の間の値をとる係数 $\alpha$ をかけた量である。 $\alpha$ の決定は、0から1の間のいくつかの値を試してみても最良のものを選べばよい。走査電位を走査配線の両側から供給する場合は、 $\alpha$ の値は0.6から0.7が好適である。ここでは $\alpha$ を0.7とした。

【0095】すなわち、

【数8】

$$IFS = \alpha \times IF \tag{式5}$$

$$IFS = \alpha \times IF \tag{式5}$$

と定義した。

【0096】式4は、選択された走査配線に対し各ブロックの列配線から該ブロック内の点灯数に比例した素子電流が流れ込むものとしている。この際1素子の素子電流 $IF$ に係数 $\alpha$ をかけたものを1素子の素子電流 $IFS$ としたのは、電圧降下により走査配線の電圧が上昇することにより、素子電流の量が減少することを考慮したものである。

【0097】図6(c)は、ある点灯状態において、縮退モデルにより各ノードの電圧降下量 $DV_0 \sim DV_4$ を計算した結果の一例である。

【0098】電圧降下は非常に滑らかなカーブとなるため、ノードとノードの間の電圧降下は近似的には図の点線に示したような値をとると想定される。

【0099】このように、本縮退モデルを用いれば、入力された画像データに対し所望の時点でのノードの位置での電圧降下を計算することが可能である。

【0100】以上、ある点灯状態における電圧降下量を、縮退モデルを用いて簡単に計算した。

【0101】選択された走査配線上に発生する電圧降下は一水平走査期間内で時間的に変化するが、これについては前述したように一水平走査期間中のいくつかの時刻に対して、その時の点灯状態を求め、その点灯状態に対し縮退モデルを用いて電圧降下を計算することにより予測した。

【0102】なお、一水平走査期間のある時点での各ブロック内の点灯数は各ブロックの画像データを参照すれば簡単に求めることができる。

【0103】いま、1つの例としてパルス幅変調回路への入力データのビット数が8ビットであるものとし、パルス幅変調回路は、入力データの大きさに対してリニアなパルス幅を出力するものとする。

【0104】すなわち入力データが0のときは、出力は“L”となり、入力データが255のとき一水平走査期間の間は“H”を出力し、入力データが128のときには一水平走査期間のうち初めの半分の期間は“H”を出力し、後の半分の期間は“L”を出力するものとする。

【0105】このような場合、パルス幅変調信号の開始時刻(本例の変調信号の例では立ち上がりの時刻)の点灯数は、パルス幅変調回路への入力データが0よりも大きいものの数をカウントすれば簡単に検出できる。

【0106】同様に一水平走査期間の中央の時刻の点灯数は、パルス幅変調回路への入力データが128よりも大きいものの数をカウントすれば簡単に検出できる。

【0107】このように画像データがある閾値に対してコンパレートし、コンパレータの出力が真である数をカ

ウントすれば、任意の時間における点灯数が簡単に計算することができる。

【0108】ここで以降の説明を簡単化するため、タイムスロットという時間量を定義する。

【0109】すなわち、タイムスロットとは、一水平走査期間のなかのパルス幅変調信号の立ち上がりからの時間を表しており、タイムスロット=0とは、パルス幅変調信号の開始時刻直後の時刻を表すものと定義する。

【0110】タイムスロット=64とは、パルス幅変調信号の開始時刻から、64階調分の時間が経過した時刻を表すものと定義する。

【0111】同様にタイムスロット=128とは、パルス幅変調信号の開始時刻から、128階調分の時間が経過した時刻を表すものと定義する。なお、本例ではパルス幅変調は立ち上がり時刻を基準として、そこからのパルス幅を変調した例を示したが、同様に、パルスの立ち下がり時刻を基準として、パルス幅を変調する場合でも、時間軸の進む方向とタイムスロットの進む方向が逆となるが、同様に適用することができることはいうまでもない。

【0112】（電圧降下量から補正データの計算）上述したように、縮退モデルを用いて繰り返し計算を行うことで一水平走査期間中の電圧降下の時間変化を近似的かつ離散的に計算することができた。

【0113】図7は、ある画像データに対して、電圧降下を繰り返し計算し、走査配線での電圧降下の時間変化を計算した例である（ここに示されている電圧降下及びその時間変化は、ある画像データに対する一例であって、別の画像データに対する電圧降下は、また別の変化をすることは当然である。）。

【0114】同図ではタイムスロット=0, 64, 128, 192の4つの時点に対して、各々縮退モデルを適用して計算を行うことに、それぞれの時刻の電圧降下を離散的に計算した。

【0115】図7では各ノードにおける電圧降下量を点線で結んでいるが、点線は図を見やすくするために記載したものであって、本縮退モデルにより計算された電圧降下は□、○、△で示した各ノードの位置において離散的に計算した。

【0116】発明者らは、電圧降下の大きさとその時間変化を計算可能となった次の段階として、電圧降下量から画像データを補正する補正データを算出する方法について検討を行った。

【0117】図8は、選択した走査配線上に図7に示した電圧降下が発生した際に、点灯状態にある表面伝導型放出素子から放出される放出電流を見積もったグラフである。

【0118】縦軸は電圧降下がないときに放出される放出電流の大きさを100%として、各時間、各位置の放出電流の量を百分率で表しており、横軸は水平位置を表

している。

【0119】図8に示すように、ノード2の水平位置（基準点）において、

タイムスロット=0の時の放出電流を $I_{e0}$ 、

タイムスロット=64の時の放出電流を $I_{e1}$ 、

タイムスロット=128の時の放出電流を $I_{e2}$ 、

タイムスロットが192の時の放出電流を $I_{e3}$ とする。

【0120】同図は図7の電圧降下量と図3の“駆動電圧対放出電流”のグラフから計算した。具体的には電圧VSELから電圧降下量を引いた電圧が印加された際の放出電流の値を単に機械的にプロットしたものである。

【0121】したがって、同図はあくまで点灯状態にある表面伝導型放出素子から放出される電流を意味しており、消灯状態にある表面伝導型放出素子が電流を放出することはない。

【0122】以下に、電圧降下量から画像データを補正する補正データを算出する方法として、以下に説明を行う。

（離散的補正データの算出方法）図9（a）、（b）、

（c）は図8の放出電流の時間変化から、電圧降下量の補正データを計算する方法を説明するための図である。同図は大きさが64の画像データに対する補正データを算出した例である。輝度の発光量は、放出電流パルスによる放出電流を時間的に積分した、放出電荷量に他ならない。したがって以降では、電圧降下による輝度の変動を考えるのにあたって、放出電荷量をもとに説明を行う。

【0123】いま、電圧降下の影響がない場合の放出電流を $I_E$ とし、パルス幅変調の1階調に相当する時間を $\Delta t$ とするならば、画像データが64のときの、放出電流パルスによって放出されるべき放出電荷量 $Q_0$ は放出電流パルスの振幅 $I_E$ にパルス幅（ $64 \times \Delta t$ ）をかけて、

【数9】

$$Q_0 = I_E \times 64 \times \Delta t \quad (\text{式6})$$

としてあらわすことができる。

【0124】しかし、実際には、走査配線上の電圧降下によって放出電流が低下する現象が発生する。

【0125】電圧降下の影響を考慮した放出電流パルスによる放出電荷量は、近似的には次のように計算できる。すなわち、ノード2のタイムスロット=0, 64の放出電流をそれぞれ $I_{e0}$ 、 $I_{e1}$ とし、0~64の間の放出電流は $I_{e0}$ と $I_{e1}$ の間を直線的に変化するものと近似すれば、この間の放出電荷量 $Q_1$ は図9（b）の台形の面積となる。

【0126】すなわち、

【数10】

$$Q_1 = (I_{e0} + I_{e1}) \times 64 \times \Delta t \times 0.5 \quad (\text{式7})$$

として計算できる。

【0127】次に、図9(c)に示すように、電圧降下による放出電流の低下分を補正するために、パルス幅をDC1だけ伸ばしたとき、電圧降下の影響を除去できたとする。

【0128】また、電圧降下の補正を行い、パルス幅を伸ばした場合には、各タイムスロットにおける放出電流量は変化すると考えられるが、ここでは簡単化のため、図9(c)のように、タイムスロット=0では、放出電流が $I_{e0}$ 、タイムスロット=(64+DC1)における放出電流が $I_{e1}$ になるものとする。

【0129】また、タイムスロット0とタイムスロット(64+DC1)の間の放出電流は、2点の放出電流を直線で結んだ線上の値をとるものと近似する。

【0130】すると、補正後の放出電流パルスによる放出電荷量 $Q2$ は、

$$\text{【数11】} \quad Q2 = (I_{e0} + I_{e1}) \times (64 + DC1) \times \Delta t \times 0.5 \quad (\text{式8})$$

として計算できる。

【0131】これが前述の $Q0$ と等しいとすれば、

$$\text{【数12】} \quad IE \times 64 \times \Delta t = (I_{e0} + I_{e1}) \times (64 + DC1) \times \Delta t \times 0.5$$

となる。

【0132】これをDC1について解けば、

$$\text{【数13】} \quad DC1 = ((2 \times IE - I_{e0} - I_{e1}) / (I_{e0} + I_{e1})) \times 64 \quad (\text{式9})$$

となる。

【0133】このようにして、画像データが64の場合の補正データを算出した。

【0134】すなわち、ノード2の位置の大きさが64の画像データに対しては式9に記載のように、CData=DC1だけ補正量CDataを加算すればよい。

【0135】図10は計算された電圧降下量から、大きさが128の画像データに対する補正データを算出した例である。

【0136】いま、電圧降下の影響がない場合、画像データが128のときに放出電流パルスによって放出されるべき放出電荷量 $Q3$ は、

$$\text{【数14】} \quad Q3 = IE \times 128 \times \Delta t = 2 \times Q0 \quad (\text{式10})$$

として計算することができる。

【0147】結果としてノード2の位置の大きさが128の画像データに対しては、

$$\text{【数17】} \quad CData = DC1 + DC2 \quad (\text{式13})$$

だけ補正量CDataを加算すればよい。

【0148】図11は計算された電圧降下量から、大きさが192の画像データに対する補正データを算出した例である。

【0149】いま、画像データが192のときに期待さ

一方、電圧降下の影響を受けた、実際の放出電流パルスによる投入電荷量は、近似的には次のように計算することができる。

【0137】すなわち、ノード2のタイムスロット=0, 64, 128の放出電流量をそれぞれ $I_{e0}$ ,  $I_{e1}$ ,  $I_{e2}$ とする。また、0~64の間の放出電流は $I_{e0}$ と $I_{e1}$ の間を直線的に変化し、64~128の間は $I_{e1}$ と $I_{e2}$ の間を直線で結んだ線上を変化するものと近似すれば、0~128までのタイムスロットの間の放出電荷量 $Q4$ は図10(b)の2つの台形の面積の和となる。

【0138】すなわち、

$$\text{【数15】} \quad Q4 = (I_{e0} + I_{e1}) \times 64 \times \Delta t \times 0.5 + (I_{e1} + I_{e2}) \times 64 \times \Delta t \times 0.5 \quad (\text{式11})$$

として計算できる。

【0139】一方、電圧降下の補正量を以下のように計算した。

【0140】タイムスロット0~64に相当する期間を期間1, 64~128に相当する期間を期間2と定義する。

【0141】補正を施した際に、期間1の部分がDC1だけ伸びて期間1'に伸長され、期間2の部分がDC2だけ伸びて、期間2'に伸長されるものとする。

【0142】この際におのおのの期間は補正を施されることにより、放出電荷量が前述の $Q0$ と同じになるものとする。

【0143】また、各期間の初めと終わりの放出電流は、補正を行うことで変化するとは言うまでもないが、ここでは計算を簡単化するため、変化しないものと仮定した。

【0144】すなわち、期間1'の初めの放出電流は $I_{e0}$ 、期間1'の終わりの放出電流は $I_{e1}$ 、期間2'の初めの放出電流は $I_{e1}$ 、期間2'の終わりの放出電流は $I_{e2}$ であるものとする。

【0145】すると、DC1は式9と同様にして計算することができる。

【0146】また、DC2は、同様な考え方により、

$$\text{【数16】} \quad DC2 = ((2 \times IE - I_{e1} - I_{e2}) / (I_{e1} + I_{e2})) \times 64 \quad (\text{式12})$$

れる放出電流パルスによる放出電荷量 $Q5$ は、

$$\text{【数18】} \quad Q5 = IE \times 192 \times \Delta t = 3 \times Q0$$

となる。

【0150】一方、電圧降下の影響を受けた、実際の放出電流パルスによる放出電荷量は、近似的には次のように計算することができる。

【0151】すなわち、ノード2のタイムスロット=0の時の放出電流を $I_{e0}$ 、タイムスロット=64のときの放出電流を $I_{e1}$ 、タイムスロット=128の時の放

出電流を  $I_{e2}$ 、タイムスロット=192の時の放出電流を  $I_{e3}$ とし、0～64の間の放出電流は  $I_{e0}$ と  $I_{e1}$ の間を直線的に変化し、64～128の間は  $I_{e1}$ と  $I_{e2}$ の間を直線で結んだ線を変化し、128～192の間は  $I_{e2}$ と  $I_{e3}$ の間を直線で結んだ線を変化するものと近似すれば、0～192までのタイムスロットの間の投入電荷量  $Q_6$ は図11(c)の3つの台形の面積となる。

【0152】すなわち、

【数19】

$$Q_6 = (I_{e0} + I_{e1}) \times 64 \times \Delta t \times 0.5 \\ + (I_{e1} + I_{e2}) \times 64 \times \Delta t \times 0.5 \\ + (I_{e2} + I_{e3}) \times 64 \times \Delta t \times 0.5 \quad (\text{式14})$$

として計算できる。

【0153】一方、電圧降下の補正量を以下のように計算した。

【0154】タイムスロット0～64に相当する期間を期間1、64～128に相当する期間を期間2、128～192に相当する期間を期間3と定義する。

【0155】先ほどと同様に、補正を施した後は、期間1の部分がDC1だけ伸びて期間1'に伸長され、期間2の部分がDC2だけ伸びて、期間2'に伸長され、期間3の部分がDC3だけ伸びて期間3'に伸張されるものとする。

【0156】この際、おのおのの期間は補正を施されることにより、放出電荷量が前述の  $Q_0$ と同じになるものとする。

【0157】また、各期間の初めと終わりの放出電流は、補正の前後で変わらないものと仮定した。

【0158】すなわち、期間1'の初めの放出電流は、 $I_{e0}$ 、期間1'の終わりの放出電流は  $I_{e1}$ 、期間2'の初めの放出電流は  $I_{e1}$ 、期間2'の終わりの放出電流は、 $I_{e2}$ 、期間3'の初めの放出電流は  $I_{e3}$ 、期間3'の終わりの放出電流は  $I_{e4}$ であるものとする。

【0159】すると、DC1、DC2はそれぞれ式9、18と同様に計算することができる。

【0160】また、DC3については、

【数20】

$$DC3 = ((2 \times I_{e1} - I_{e2} - I_{e3}) / (I_{e2} + I_{e3})) \times 64 \quad (\text{式15})$$

として計算することができる。

【0161】結果としてノード2の位置の大きさが192の画像データに加算する補正データCDataとしては、

【数21】

$$CData = DC1 + DC2 + DC3 \quad (\text{式16})$$

を加算すればよい。

【0162】以上のようにしてノード2の位置に対する画像データ64、128、192の補正データCDataを算出した。

【0163】また、パルス幅が0の時には、当然ながら放出電流に対する電圧降下の影響はないため、補正データは0とし画像データに加算する補正データCDataも0とした。

【0164】なお、このように0、64、128、192というように、とびとびの画像データに対して補正データを計算しているのは、計算量を減らすことを狙ったものである。

【0165】すなわち任意のすべての画像データに対して同様の計算を行って、非常に計算量が大きくなり、計算を行うためのハードウェア量が非常に大きくなってしまう。

【0166】一方、あるノードの位置においては、画像データが大きいほど、補正データも大きくなる傾向がある。これにより、任意の画像データに対する補正データを算出する際には、その画像データの近傍のすでに補正データが算出されている点と点を直線近似により補間すれば、計算量を大幅に減少させることができるためである。なお、この補間については離散的補正データ補間手段を説明する際に詳しく説明する。

【0167】また、同様な考え方をすべてのノードの位置において適用すれば、すべてのノードの位置における、画像データ=0、64、128、192の補正データを算出できる。なお、このように補正データを算出されている離散的な画像データのことを画像データ基準値と呼ぶ。

【0168】本例ではタイムスロットを0、64、128、192の4点に対して縮退モデルを適用して、各時刻の電圧降下量を計算したことにより、補正データも画像データが0、64、128、192の4つの画像データ基準値に対する補正データを求めることができた。

【0169】しかし、好ましくは縮退モデルにより電圧降下を計算する時間の間隔を細かくすることで、電圧降下の時間変化をより精密に扱うことができ、離散的な画像データ基準値の個数が増加する一方、近似計算の誤差を低減することができる。具体的には、図9～12では、図を簡略化するためにタイムスロット0、64、128、192の4点のみにおいて計算を行ったが、実際には、タイムスロット0～255のうち16タイムスロットおきに計算を行ったところ（すなわち画像データの基準値を画像データの大きさで16ごとに設定した）、好ましかった。

【0170】なお、その際には同様な考え方に立って、式6～式16を変形して計算を行えばよい。

【0171】図12(a)は、上述の方法により、ある入力画像データに対し、各々のノードの位置における、画像データ=0、64、128、192に対する補正データCDataを離散的に計算した結果の一例である。なお、同図では同一の画像データに対する離散的補正データを、図を見やすくするために、点線の曲線で結んで記載した。

【0172】（離散的補正データの補間方法）離散的に算出された補正データは、各ノードの位置に対する離散的なものであって、任意の水平位置（列配線番号）における補正データを与えるものではない。またそれと同時に、各ノード位置においていくつかの予め定められた画像データの基準値の大きさをもつ画像データに対する補正データであって実際の画像データの大きさに応じたに對する補正データをあたえるものではない

【0173】そこで、発明者らは、各列配線における入力画像データの大きさに適合した補正データを、離散的に算出した補正データを補間することにより算出した。

【0174】図12(b)はノード $n$ とノード $n+1$ の間に位置する $x$ という位置における、画像データ $Data$ に相当する補正データを算出する方法を示した図である。

$$CA = \frac{(X_{n+1}-x) \times CData[k][n] + (x-X_n) \times CData[k][n+1]}{X_{n+1} - X_n}$$

(式17)

となる。ただし、 $X_n$ 、 $X_{n+1}$ はそれぞれノード $n$ 、 $(n+1)$ の水平表示位置であって、前述したブロックを決定するときに定められる定数である。

【0179】また、位置 $x$ における画像データ $D_{k+1}$

$$CB = \frac{(X_{n+1}-x) \times CData[k+1][n] + (x-X_n) \times CData[k+1][n+1]}{X_{n+1} - X_n}$$

(式18)

【0181】 $CA$ と $CB$ の補正データを直線近似することにより、位置 $x$ における画像データ $Data$ に対する補正データ $CD$ は、以下のように計算できる。

【0182】すなわち、

【数24】

$$CD = \frac{CA \times (D_{k+1} - Data) + CB \times (Data - D_k)}{D_{k+1} - D_k} \quad (式19)$$

となる。

【0183】以上のように、離散的補正データから実際の位置や画像データの大きさに適合した補正データを算出するためには、式17～式25に記載した方法により簡単に計算できる。

【0184】このようにして算出した補正データを画像データに加算して画像データを補正し、補正後の画像データ（補正画像データとよぶ）に応じてパルス幅変調を行えば、従来からの課題であった表示画像における、電圧降下による影響を低減することができ、画質を向上させることができる。

【0185】また、予てからの課題であった補正のためのハードウェアも、これまで説明してきたような縮退化などの近似を導入することにより、計算量を低減化することができるため非常に小規模なハードウェアで構成することができるという優れたメリットがあった。

【0186】（システム全体と各部分の機能説明）次に、補正データ算出手段を内蔵した画像表示装置のハー

【0175】なお前提として、補正データはすでにノード $n$ 及びノード $n+1$ の位置 $X_n$ 及び $X_{n+1}$ において離散的に計算されているものとする。

【0176】また、画像データ $Data$ はすでに離散的に補正データが算出されている画像データである、画像データ基準値の $D_k$ と $D_{k+1}$ の間の値をとるものとする。

【0177】いま、ノード $n$ の $k$ 番目の画像データの基準値に対する離散的補正データを $CData[k]$

$[n]$ と表記するならば、位置 $x$ におけるパルス幅 $D_k$ の補正データ $CA$ は、 $CData[k][n]$ と $CData[k][n+1]$ の値を用いて、直線近似により、以下のように計算できる。

【0178】すなわち、

【数22】

の補正データ $CB$ は以下のように計算できる。

【0180】すなわち、

【数23】

ドウエアについて説明する。

【0187】図13はその回路構成の概略を示すブロック図である。図において1は図1の表示パネル、 $D \times 1 \sim D \times M$ 及び $D \times 1' \sim D \times M'$ は表示パネルの走査配線の電圧供給端子、 $D_y 1 \sim D_y N$ は表示パネルの変調配線の電圧供給端子、 $H_v$ はフェースプレートとリアプレートの間に加速電圧を印加するための高圧供給端子、 $V_a$ は高圧電源、2は走査回路、3は同期信号分離回路、4はタイミング発生回路、7は同期分離回路3により $Y Pb Pr$ 信号をRGBに変換するための変換回路、17は逆 $\gamma$ 処理部、5は画像データ1ライン分のシフトレジスタ、6は画像データ1ライン分のラッチ回路、8は表示パネルの変調配線に変調信号を出力するパルス幅変調手段、12は加算器、14は補正データ算出手段である。

【0188】また、同図において $R$ 、 $G$ 、 $B$ はRGBパラレルの入力映像データ、 $R_a$ 、 $G_a$ 、 $B_a$ は後述する逆 $\gamma$ 変換処理を施したRGBパラレルの映像データ、 $Data$ はデータ配列変換部によりパラレル・シリアル変換された画像データ、 $CD$ は補正データ算出手段により算出された補正データ、 $Dout$ は加算器により画像データに補正データを加算することにより、補正された画像データ（補正画像データ）である。

【0189】（同期分離回路、タイミング発生回路）本実施形態の画像表示装置は、NTSCや、PAL、SE

CAM、HDTVなどのテレビジョン信号や、コンピュータの出力であるVGAなどをともに表示することができる。

【0190】図13では図を簡単化するため、HDTV方式のみについて記載している。

【0191】HDTV方式の映像信号は、まず同期分離回路3により同期信号Vsync、Hsyncを分離し、タイミング発生回路に供給する。同期分離された映像信号は、RGB変換手段に供給される。RGB変換手段の内部には、YPbPrからRGBへの変換回路の他に、不図示のローパスフィルタやA/D変換器などが設けられており、YPbPrをデジタルRGB信号へと変換し、逆 $\gamma$ 処理部へと供給する。

【0192】(タイミング発生回路) タイミング発生回路は、PLL回路を内蔵しており、様々な映像ソースの同期信号に同期したタイミング信号を発生し、各部の動作タイミング信号を発生する回路である。

【0193】タイミング発生回路4が発生するタイミング信号としては、シフトレジスタ5の動作タイミングを制御するTsft、シフトレジスタから、ラッチ回路6へデータをラッチするための制御信号Data load、変調手段8のパルス幅変調開始信号Pwmstart、パルス幅変調のためのクロックPwmclk、走査回路2の動作を制御するTscanなどがある。

【0194】(走査回路) 図14に示すように、走査回路2及び2'は、表示パネルを一水平走査期間に1行ずつ順次走査するために、接続端子Dx1~DxMに対して選択電位Vsまたは非選択電位Vnsを出力する回路である。

【0195】走査回路2及び2'はタイミング発生回路4からのタイミング信号Tscanに同期して、一水平期間ごとに、選択している走査配線を順次切り替え、走査を行う回路である。

【0196】なお、Tscanは垂直同期信号及び水平同期信号などから作られるタイミング信号群である。

【0197】走査回路2及び2'は、図14に示すようにそれぞれM個のスイッチとシフトレジスタなどから構成される。これらのスイッチはトランジスタやFETにより構成するのが好ましい。

【0198】なお、走査配線での電圧降下を低減するためには、走査回路は図13に示したように、表示パネルの走査配線の両端に接続され、両端からドライブされることが好ましい。

【0199】一方、本発明の実施の形態では、走査回路が走査配線の両端に接続されていない場合でも有効であり、式3のパラメータを変更するだけで適用できる。

【0200】(逆 $\gamma$ 処理部) CRTは入力に対しほぼ2.2乗の発光特性(以降逆 $\gamma$ 特性とよぶ)を備えている。

【0201】入力映像信号はCRTのこのような特性が

考慮されており、CRTに表示した際にリニアな発光特性となるように一般に0.45乗の $\gamma$ 特性にしたがって変換される。

【0202】一方、本発明の実施の形態に係る画像表示装置の表示パネルは駆動電圧の印加時間により変調を施す場合、印加時間の長さに対しほぼリニアな発光特性を有しているため、入力映像信号を逆 $\gamma$ 特性にもとづいて変換(以降逆 $\gamma$ 変換とよぶ)する必要がある。

【0203】図13に記載した逆 $\gamma$ 処理部は、入力映像信号を逆 $\gamma$ 変換するためのブロックである。

【0204】本実施形態の逆 $\gamma$ 処理部は、上記逆 $\gamma$ 変換処理をメモリによって構成した。

【0205】逆 $\gamma$ 処理部は、映像信号R、G、Bのビット数を8ビットとし、逆 $\gamma$ 処理部の出力である映像信号Ra、Ga、Baのビット数を同じく8ビットとして、アドレス8ビット、データ8ビットのメモリを各色ごと用いることにより構成した(図15)。

(入力制限手段25の簡単な説明) 逆 $\gamma$ 変換された画像データRa、Ga、Baは本手段に入力され、その振幅を制限される。振幅を制限された画像データRx、Gx、Bxはデータ配列変換部9及び補正データ算出部に供給される。なお、本手段の構成、及びその効果についてはのちほど、項をあらためて説明することとする。

【0206】(データ配列変換部) データ配列変換部9はRGBパラレルな映像信号である後述する入力制限手段により制限された画像データRx、Gx、Bxを表示パネルの画素配列に合わせてパラレル・シリアル変換する回路である。データ配列変換部9の構成は図16に示したようにRGB各色ごとのFIFO(First In First Out)メモリ2021R、2021G、2021Bとセクタ2022から構成される。

【0207】同図では図示していないが、FIFOメモリは水平画素数ワードのメモリを奇数ライン用と偶数ライン用の2本備えている。奇数行目の映像データが入力された際には、奇数ライン用のFIFOにデータが書き込まれる一方、偶数ライン用のFIFOメモリから一つ前の水平走査期間に蓄積された画像データが読み出される。偶数行目の映像データが入力された際には偶数ライン用のFIFOにデータが書き込まれる一方、奇数ライン用FIFOメモリから一つ前の水平期間に蓄積された画像データが読み出される。

【0208】FIFOメモリから読み出されたデータは、セクタにより表示パネルの画素配列にしたがって、パラレル・シリアル変換され、RGBのシリアル画像データSDaとして出力される。詳細については記載しないが、タイミング発生回路4からのタイミング制御信号に基づいて動作する。

【0209】(加算器12) 加算器12は後述する補正データ算出手段からの補正データCDと画像データDaを加算する手段である。加算を行うことにより画像



データDataは補正が施され、補正画像データDoutとして最大値検出回路及び乗算器へ転送される。なお加算器の出力である補正画像データのビット数は画像データに補正データを加算した際にオーバーフローが起きないように決定することが好ましい。より具体的には、画像データDataが8ビットのデータ幅であって、最大値が255、補正データCDは7ビットのデータ幅を持っていて、最大値が120であったとする。このとき加算結果の最大値は、 $255 + 120 = 375$ になった。これに対して加算器の出力である補正画像データDoutは、オーバーフローが起きないように、出力ビット幅として9ビット出力であることが好ましい。

(オーバーフロー処理)本発明では、算出した補正データを画像データに加算することにより補正を実現することについてはこれまで述べてきたとおりである。いま、変調手段のビット数が8ビットであって、加算器の出力である補正画像データDoutのビット数が9ビットであるものとする。すると、補正画像データを変調手段の入力にそのまま接続してしまうと、オーバーフローがおきることになる。

【0210】また、補正データは本発明の画像表示装置に入力される画像データの1フレームごとの平均輝度が高いほど大きくなり、逆に1フレームごとの平均輝度が低いほど小さな値となる傾向がある。オーバーフローを防止するための構成として、平均輝度が最大となる画像データである全白パターン（8ビットの画像データの場合すべての画素のデータが255の白い画面）を入力した際の、補正画像データの最大値を予め見積もり、それが変調手段の入力範囲に収まるようなゲインを補正画像データに常に乗算してもよい。一方、上述したような固定のゲインでは、オーバーフローは発生しないが、平均輝度が低い画像については、より大きなゲインで表示ができるにもかかわらず、小さなゲインが乗算されてしまうため、表示画像の輝度が暗くなってしまう。

【0211】これに対し本発明では、後述するように、フレームごとの補正画像データの最大値を検出する最大値検出手段と、加算器の出力が変調手段の入力範囲におさまるようなゲインを算出するゲイン算出手段、および算出されたゲインと、加算器の出力を乗算する乗算器によって、フレームごとにゲインを算出することにより、オーバーフローを防止している。このようなオーバーフローを防止するためのゲインを算出するのは、フレームを単位として算出することが好ましい。たとえば1水平ラインごとにゲインを算出してオーバーフローを防止することもできるが、その場合、1水平ラインごとのゲインの違いにより、表示画像に違和感が発生する。

(最大値検出手段)本発明の最大値検出手段は図13に示すように、各部と接続されている。最大値検出手段は、1フレーム分の補正画像データDoutのなかで、最大となる値を検出する手段である。同手段は、コンパ

レータとレジスタなどによって簡単に構成できる回路である。同手段は、レジスタに記憶されている値と、順次転送されてくる補正画像データの大きさを比較し、補正画像データの方がレジスタの値よりも大きければ、レジスタの値をそのデータ値で更新する回路である。レジスタの値は、フレームの先頭で0にクリアすれば、フレームの終了時には、そのフレームの中の補正画像データの最大値がレジスタに格納される。こうして検出された補正画像データの最大値は、ゲイン算出手段へと転送される。

【0212】(ゲイン算出手段)ゲイン算出手段は、補正画像データDoutが変調手段の入力範囲におさまるようにゲインを算出する手段である。

【0213】ゲインの決定方法は、1フレーム内で、最大値検出部で検出した加算器の出力データの最大値をMAX、変調手段の入力範囲の最大値をINMAXとすると、

$$\text{【数25】} \quad \text{ゲイン } G \leq \text{INMAX} / \text{MAX} \quad (\text{式20})$$

となるように決定すればよい。

【0214】このゲイン算出手段では、垂直帰線期間においてゲインを更新して1フレーム毎にゲインの値が変更される。なお、本発明の画像表示装置の構成では、1フレーム前の補正画像データの最大値を用いて、現在のフレームの補正画像データに乘算するゲインを算出する構成となっている。したがって厳密には、フレームごとの補正画像データの違いから、オーバーフローがおきることある。このような課題に対し、補正画像データとゲインを乗算する乗算器の出力に対し後述するリミッタ手段を設け、乗算器の出力が変調手段の入力範囲に収まるように回路を設計した。

【0215】なお、発明者らは、式20によるゲインの算出法によって算出されるゲインを複数のフレームに対して平均化した値を用いて、ゲインを決定してもよいことを確認している。ゲインを平均化する効果は、入力画像データの大きさが激しく変動するような画像を表示した際には、フリッカを防止する効果がある。なおこの場合にも、オーバーフローを完全に防止することはできないから、後述するようリミッタを設けることが好ましい。

【0216】(乗算器)ゲイン算出手段で算出されたゲインと、加算器の出力である補正画像データDoutは、図13の乗算器によって乗算され、補正画像データDmulとしてリミッタ回路へ転送される。乗算器はいわゆるロジック回路によって構成してもよいし、テーブルメモリ（ROMまたはRAM）に乗算結果を格納しておいて、乗算する2つのパラメータをアドレスに入力し、データから乗算結果を出力してもよい。また、乗算器の出力が接続されているリミッタ手段もテーブルメモリで構成できることから、リミッタ手段と、乗算器をひとつの

テーブルメモリによって構成することもできる。この場合、テーブルメモリに格納すべき内容は、乗算結果をリミットするデータが記載されていればよい。なお、好ましいリミッタの特性については以下に述べる。

【0217】(リミッタ手段)以上のようにして、オーバーフローがおきないようにゲインを決定できれば問題ないが、上述したいくつかのゲイン決定方法によれば、必ずオーバーフローがおきないようにゲインを決定することは困難であるので、リミッタ(Limiter)を設けておくこともできる。

【0218】リミッタは、予め設定されたリミット値を有し、リミッタに入力される出力データDmultとリミット値を比較し、Dmultよりもリミット値が小さければ、リミット値を出力し、Dmultよりもリミット値が大きければ、Dmultを出力する(図13における信号名は補正画像データDlim)。

【0219】リミッタは、図24(a)に示すように最大値まで一定の傾きの直線である折れ線の特性を示すものでも良いし、図24(b)に示すように最大値で飽和する飽和特性のような曲線の特性を示すものでも良い。図24(a)の特性のリミッタはコンパレータによって実現することができ、図24(b)の特性のリミッタはテーブルメモリなどにより実現することができる。

【0220】リミッタ手段によって、変調手段の入力範囲に完全に制限された補正画像データDlimは、シフトレジスタ、ラッチを介して変調手段へと供給される。

【0221】(入力制限手段24の詳細な説明)逆 $\gamma$ 変換された画像データRa, Ga, Baは本手段に入力され、その振幅を制限されることについては前述したとおりである。

【0222】入力制限手段は、入力される画像データを予め制限することにより、行配線の抵抗分によって発生する電圧降下を予め抑制するための手段である。

【0223】本手段の好ましい構成の例の一つを図24に示す。図24(a)は、入力制限手段24の構成を説明するための図である。

【0224】入力された画像データRa, Ga, Baは乗算器においてゲインGinなるゲインを乗算され、画像データRx, Gx, Bxとして出力される。

【0225】乗算されるゲインGinは、同図(a)のテーブルメモリに記憶されており、画像データの水平表示位置(水平位置)に応じて様でない値となっている。

【0226】とくに本例では、ゲインGinは、画面の左右両端において0.5となっていて、画面の中央では1.0をとるようなカーブがテーブルメモリに記憶されている(図24(b))。

【0227】このように、画面の左右両端のゲインを小さくしているのは、画面の左右両端の画像データを小さくしていることに他ならないが、画面の中央の画像デー

タの大きさは1.0のゲインを乗算することにより変化しない。

【0228】一方このように画面の左右両端の画像データを抑制することにより、行配線の抵抗分において発生する電圧降下自体も抑制する効果がある。(1水平ラインの画像データ自体が小さくなるため、パルス幅変調手段の出力がHighになる時間が減少し、それにしたがって電圧降下が減少する。)

【0229】電圧降下の発生が抑制される一方、画像データ自体が小さくなることによって、補正するための補正データCDの値も抑制され、その値が小さくなる。

(補正データ算出手段については後述する。)

【0230】また、補正データCDの値が小さくなるということは、前述のオーバーフロー処理を行う際のゲインGが増加することに他ならない。

【0231】ゲインGの値が増加することは、画面の中央で見れば、輝度が増加することになる。

【0232】なお、画面の左右両端では、入力制限手段において、ゲインGinが乗算されることにより輝度が低減する分と、ゲインGが増加することによる輝度の増加する分のバランスによって輝度が定まるが、本例の場合では輝度が減少した。

【0233】本例の画像表示装置の場合、入力制限手段を設けることによって、画面の左右両端の輝度は低下するものの、電圧降下の発生が抑制されることにより、画面の中央の輝度が上昇する効果があった。

【0234】図24(b)のようなゲインは非常になめらかなカーブであるため、このようなゲインを画面の水平方向に乗算していることや、画面の左右両端の輝度が小さいことなどは、ほとんどわからなかった。(CRTにおいても画面の中央部分と左右両端では、1:0.5程度の輝度差があることを考慮すれば、ほとんど視認できるものではない。)

【0235】その一方、画面の中央部分の輝度が上昇することにより、表示画像がより鮮やかになり、非常に好ましく画像を表示することができるという効果があった。

【0236】なお、本例では、ゲインGinの例として図24(b)のようなゲインを用いたが、ゲインGinのカーブや、画面中央部分のゲインや、左右両端のゲインの値などはこれにこだわるものではない。

【0237】なお、ここで用いたゲインGinのカーブとしては、発明者らは2次曲線や、ガウシアン関数などを用いて、データを算出し、テーブルメモリに記憶した。

【0238】(入力制限手段24の別の構成)入力制限手段の好ましい構成の別の例を図25に示す。図25(a)は、入力制限手段24の構成を説明するための図である。図25の入力制限手段24の例は、リミッタである。

【0239】入力された画像データ $R_a$ ,  $G_a$ ,  $B_a$ はリミッタにおいてその大きさを制限され、画像データ $R_x$ ,  $G_x$ ,  $B_x$ として出力される。

【0240】リミッタの特性としては、図25(b)や(c)や(d)に示すように、ある程度以上の画像データの入力を制限する特性である。(なお同図(b)の構成はコンパレータとレジスタなどにより簡単に構成することができる。また同図(c)(d)の構成はテーブルメモリなどにこのような特性を記憶すれば簡単に実現することができる。)

【0241】なお、本例では、入力される画像データが8ビット(0~255)であるものに対し、リミッタの値は220に設定した。

【0242】このように、入力された画像データの振幅を制限すると、行配線の抵抗分において発生する電圧降下自体も抑制する効果がある。(1水平ラインの画像データ自体が小さくなるため、パルス幅変調手段の出力がHighになる時間が減少し、それにしがつて電圧降下が減少する。)

【0243】また、電圧降下が抑制される一方、画像データ自体も小さくなるため、補正するための補正データCDの値も抑制され、その値が小さくなる。

【0244】また、補正データCDの値が小さくなるということは、前述のオーバーフロー処理を行う際のゲインGが増加することに他ならない。

【0245】ゲインGの値が増加することは、画面としてみた場合の輝度が増加することになる。

【0246】これを画面としてみると次のようになる。入力画像データがリミッタのリミット値を越えるような箇所では、前述したようにゲインGが増加することにより輝度が増加する分と、入力制限手段で画像データがリミットされた分とのバランスにより、輝度が若干低下する傾向がある。その一方、入力画像データがリミッタのリミット値を越えないような箇所では、ゲインGが増加することにより、輝度が上昇する。

【0247】このように、本例の画像表示装置の場合、入力制限手段を設けることによって、画像データがリミット値を越えるような、画面の明るい箇所の輝度は若干低下するものの、画像データがリミット値を越えない箇所の輝度が上昇する効果があった。

【0248】このような入力制限手段24を設けて、通常のテレビ放送を画面に表示してその発光輝度を観察したところ、画面全体では輝度が増加し、非常に好ましかった。

【0249】なお、入力制限手段24を図25に記載したリミッタとして構成し、テーブルメモリにリミッタ特性を記憶して実施する場合には、同手段の前段のブロックである逆 $\gamma$ 変換手段のテーブルメモリと合わせて一つのテーブルメモリとして構成してもかまわない。

【0250】この場合、テーブルメモリに格納しておく

特性としては、前述した逆 $\gamma$ 特性と図25(b)~

(d)に記載したリミッタ特性を乗算した結果を記憶させておけばよい。

【0251】たとえば図25(d)の特性と逆 $\gamma$ 特性を同一のテーブルメモリで構成した際にメモリに記憶させておく特性は図26のような特性であればよい。

【0252】(遅延回路19)データ配列変換部により並び替えが行われた画像データSDaは補正データ算出手段と遅延回路19に入力される。補正データ算出手段の補正データ補間部はタイミング制御回路からの水平位置情報xと画像データSDaの値を参照して、それらにあった補正データCDを算出する。

【0253】遅延回路19は、補正データ算出にかかる時間を吸収するために設けられており、加算器で画像データに補正データが加算される際に、画像データにそれに対応した補正データが正しく加算されるよう遅延を行う手段である。同手段はフリップフロップを用いることにより構成できる。

【0254】(シフトレジスタ、ラッチ回路)補正データ補間部の出力である画像データDoutは、シフトレジスタ5により、シリアルなデータフォーマットから、各変調配線毎の平行な画像データID1~IDNへとシリアル/平行変換されラッチ回路へ出力される。ラッチ回路では1水平期間が開始される直前にタイミング信号DataLoadにより、シフトレジスタからのデータをラッチする。ラッチ回路6の出力は、平行な画像データD1~DNとして変調手段へと供給される。

【0255】なお本実施形態では画像データID1~IDN、D1~DNはそれぞれ8ビットの画像データとした。これらの動作タイミングはタイミング発生回路4(図13)からのタイミング制御信号TSFT及びDataLoadに基づいて動作する。

【0256】(変調手段の詳細)ラッチ回路6の出力である平行画像データD1~DNは変調手段8へと供給される。

【0257】変調手段は、図17(a)に示したように、PWMカウンタと、各変調配線ごとにコンパレータとスイッチ(同図ではFET)を備えたパルス幅変調回路(PWM回路)である。

【0258】画像データD1~DNと変調手段の出力パルス幅の関係は、図17(b)のようになりニアな関係にある。

【0259】同図(c)に変調手段の出力波形的例を3つ示す。

【0260】同図において上側の波形は、変調手段への入力データが0の時の波形、中央の波形は、変調手段への入力データが128の時の波形、下側の波形は、変調手段への入力データが255の時の波形である。

【0261】なお本例では変調手段への入力データD1

～DNのビット数は8ビットとした。

【0262】なお、前述の説明では、変調手段の入力データが255のときは、一水平走査期間に相当するパルス幅の変調信号が出力されると記載した箇所があるが、詳細には同図(c)のように非常に短い時間ではあるがパルスの立ち上がる前と、立ち下がった後に駆動しない期間を設けタイミング的な余裕を持たせている。

【0263】図18は、本発明の変調手段の動作を示すタイミングチャートである。

【0264】同図において、Hsyncは水平同期信号、Data loadはラッチ回路6へのロード信号、D1～DNは前述の変調手段の列1～Nへの入力信号、PwmstartはPWMカウンタの同期クリア信号、PwmclkはPWMカウンタのクロックである。また、XD1～XDNは変調手段の第1～第N列の出力を表している。

【0265】同図にあるように1水平走査期間が始まると、ラッチ回路6は画像データをラッチするとともに変調手段へデータを転送する。

【0266】PWMカウンタは、同図に示したように、Pwmstart、Pwmclkに基づいてカウントを開始し、カウント値が255になるとカウンタをストップしカウント値255を保持する。

【0267】各列毎に設けられているコンパレータは、PWMカウンタのカウント値と各列の画像データを比較し、PWMカウンタの値が画像データ以上のときHighを出力し、それ以外の期間はLowを出力する。

【0268】コンパレータの出力は、各列のスイッチのゲートに接続されており、コンパレータの出力がLowの期間は同図の上側(VPWM側)のスイッチがON、下側(GND側)のスイッチがOFFとなり、変調配線を電圧VPWMに接続する。

【0269】逆にコンパレータの出力がHighの期間は、同図の上側のスイッチがOFFし、下側のスイッチがONするとともに、変調配線の電圧をGND電位に接続する。

【0270】各部が以上のように動作することで、変調手段が出力するパルス幅変調信号は、図18のD1、D2、DNに示したような、パルスの立ち上がりが同期した波形となる。

【0271】(補正データ算出手段)補正データ算出手段は前述した補正データ算出方法により、電圧降下の補正データを算出する回路である。補正データ算出手段は図19に示すように離散的補正データ算出手段と補正データ補間部の2つのブロックから構成される。

【0272】離散的補正データ算出手段では入力された映像信号から電圧降下量を算出し、電圧降下量から補正データを離散的に計算する手段である。同手段は計算量やハードウェア量を減少させるために、前述の縮退モデルの概念を導入して、補正データを離散的に算出する。

【0273】離散的に算出された補正データは補正データ補間部により補間され、画像データの大きさやその水平表示位置xに適合した補正データCDが算出される。

【0274】(離散的補正データ算出手段)図20は本発明の離散的補正データを算出するための離散的補正データ算出手段である。

【0275】離散的補正データ算出部は、以下に述べるように、画像データをブロックわけし、ブロックごとの統計量(点灯数)を算出するとともに、統計量から各ノードの位置における、電圧降下量の時間変化を計算する電圧降下量算出部としての機能と、各時間ごとの電圧降下量を発光輝度量に変換する機能、および発光輝度量を時間方向に積分して、発光輝度総量を算出する機能、およびそれらから離散的な基準点における、画像データの基準値に対する補正データを算出する手段である。同図において100a～100cは点灯数カウント手段、101a～101cは各ブロックごとの、各時刻における点灯数を格納するレジスタ群、102はCPU、103は式2及び3で記載したパラメータ $a_{ij}$ を記憶するためのテーブルメモリ、104は計算結果を一時記憶するためのテンポラリレジスタ、105はCPUのプログラムが格納されているプログラムメモリ、110は、電圧降下量を放出電流量に変換する変換データが記載されたテーブルメモリ、106は、前述した離散的補正データの計算結果を格納するためのレジスタ群である。

【0276】点灯数カウント手段100a～100cは、同図(b)に記載したようなコンパレータと加算器などから構成されている。画像信号Rx、Gx、Bxはそれぞれコンパレータ107a～cに入力され、逐次Cvalの値と比較される。なお、Cvalは前述してきた画像データに対して設定した、画像データ基準値に相当する。

【0277】コンパレータ107a～cはCvalと画像データの比較を行い画像データの方が大きければHighを出力し小さければLowを出力する。

【0278】コンパレータの出力は加算器108及び109により互いに足し算され、さらに加算器110によりブロックごとに加算をおこない、ブロックごとの加算結果を各々のブロックごとの点灯数としてレジスタ群101a～cへと格納する。

【0279】点灯数カウント手段100a～cにはコンパレータの比較値Cvalとしてそれぞれ0、64、128、192が入力されている。

【0280】結果として、点灯数カウント手段100aは画像データのうち、0より大きい画像データの個数をカウントしそのブロックごとの総計をレジスタ101aに格納する。

【0281】同様に、点灯数カウント手段100bは画像データのうち、64より大きい画像データの個数をカウントし、そのブロックごとの総計をレジスタ101b

に格納する。

【0282】同様に、点灯数カウント手段100cは画像データのうち、128より大きい画像データの個数をカウントし、そのブロックごとの総計をレジスタ101cに格納する。

【0283】同様に、点灯数カウント手段100dは画像データのうち、192より大きい画像データの個数をカウントし、そのブロックごとの総計をレジスタ101dに格納する。

【0284】ブロックごと、時間ごとの点灯数カウントされると、CPUはテーブルメモリ103に格納されたパラメータテーブル $a_{ij}$ を随時読み出して、式2～5に従い、電圧降下量を計算し、計算結果をテンポラリレジスタ104に格納する。

【0285】本例ではCPUに式2の計算を円滑におこなうための積和演算機能を設けた。

【0286】式2に挙げた演算を実現する手段としては、CPUで積和演算を行わないでもよく、例えば、その計算結果をメモリに入れておいてもよい。

【0287】すなわち、各ブロックの点灯数を入力とし、考えられるすべての入力パターンに対し、各ノード位置の電圧降下量をメモリに記憶させておいても構わない。

【0288】電圧降下量の計算が完了するとともに、CPUはテンポラリレジスタ104から、各時間、各ブロックごとの電圧降下量をよみだし、テーブルメモリ2(110)を参照して、電圧降下量を放出電流量に変換し、式6～16に従って、離散的補正データを算出した。

【0289】計算した離散的補正データは、レジスタ群106に格納した。

【0290】(補正データ補間部) 補正データ補間部は画像データの表示される位置(水平位置)及び、画像データの大きさに適合した補正データを算出するための手段である。同手段は離散的に算出された補正データを補間することにより、画像データの表示位置(水平位置)及び、画像データの大きさに応じた補正データを算出する。

【0291】図21は補正データ補間部を説明するための図である。

【0292】同図において123は画像データの表示位置(水平位置) $x$ から、補間に用いる離散的補正データのノード番号 $n$ 及び $n+1$ を決定するためのデコーダであり、124は画像データの大きさから、式17～式25の $k$ および $k+1$ を決定するためのデコーダである。

【0293】また、セクタ125～128は、離散的補正データを選択して、直線近似手段に供給するためのセクタである。

【0294】また、121～123は、それぞれ式17～式19の直線近似を行うための直線近似手段である。

【0295】図22に直線近似手段121の構成例を示す。一般に直線近似手段は式17～19の演算子にあらわされるように、減算器、積算器、加算器、割り算器などによって構成可能である。

【0296】しかし、望ましくは離散的補正データを算出するノードとノードの間の列配線本数や、離散的補正データを算出する画像データ基準値の間隔(すなわち電圧降下を算出する時間間隔)が2のべき乗になるように構成するとハードウェアを非常に簡単に構成できるというメリットがある。それらを2のべき乗に設定すれば、図22に示した割り算器において、 $X_{n+1}-X_n$ は2のべき乗の値となり、ビットシフトすればよい。

【0297】 $X_{n+1}-X_n$ の値がいつも一定の値であって、2のべき乗で表される値であるならば、加算器の加算結果をべき乗の乗数分だけシフトして出力すればよく、あえて割り算器を作製する必要がない。

【0298】また、これ以外の箇所でも離散的補正データを算出するノードの間隔や、画像データの間隔を2のべき乗とすることにより、たとえばデコーダ123～124を簡単に作製することが可能となるとともに、図22の減算器で行っている演算を簡単なビット演算に置き換えることができるなど、非常にメリットが多い。

【0299】(各部の動作タイミング) 図23に各部の動作タイミングのタイミングチャートを示す。

【0300】なお、同図においてHsyncは水平同期信号、DotCLKはタイミング発生回路の中のPLL回路により水平同期信号Hsyncから作成したクロック、R、G、Bは入力切り替え回路からのデジタル画像データ、Dataはデータ配列変換後の画像データ、Doutは電圧降下補正を施された画像データ、TSFTはシフトレジスタ5へ画像データDoutを転送するためのシフトクロック、DataLoadはラッチ回路6へデータをラッチするためのロードパルス、Pwmstartは前述のパルス幅変調の開始信号、変調信号XD1は変調配線1へ供給されるパルス幅変調信号の一例である。

【0301】1水平期間の開始とともに、入力切り替え回路からデジタル画像データRGBが転送される。同図では水平走査期間Iにおいて、入力される画像データをR\_I、G\_I、B\_Iで表すと、それらは、データ配列変換回路9では1水平期間の間、画像データを蓄えられ、水平走査期間I+1において、表示パネルの画素配置に合わせてデジタル画像データData\_Iとして出力される。

【0302】R\_I、G\_I、B\_Iは、水平走査期間Iにおいて補正データ算出手段に入力される。同手段では、前述した点灯数をカウントし、カウントの終了とともに、電圧降下量が算出される。

【0303】電圧降下量が算出されるのにつづいて、離散補正データが算出され、算出結果がレジスタに格納さ

れる。

【0304】走査期間I+1に移り、データ配列変換部から、1水平走査期間前の画像データData\_Iが出力されるのに同期して、補正データ補間手段では離散補正データが補間され、補正データが算出される。補間された補正データは、階調数変換部15で直ちに階調数変換を施され、加算器12に供給される。

【0305】加算器12では、画像データDataと補正データCDzを順次加算し、補正された画像データDoutをシフトレジスタへ転送する。シフトレジスタはTsftにしたがって、一水平期間分の画像データDoutを記憶するとともにシリアル・パラレル変換をおこなってパラレルな画像データID1~IDNをラッチ回路6に出力する。ラッチ回路6はData\_loadの立ち上がりにしたがってシフトレジスタからのパラレル画像データID1~IDNをラッチし、ラッチされた画像データD1~DNをパルス幅変調手段8へと転送する。

【0306】パルス幅変調手段8は、ラッチされた画像データに応じたパルス幅のパルス幅変調信号を出力する。本実施形態の画像表示装置では、結果として、変調手段が出力するパルス幅は、入力された画像データに対し、2水平走査期間分おくらせて表示される。

【0307】このような画像表示装置により画像の表示を行ったところ、従来からの課題であった走査配線における電圧降下量を補正することができ、それに起因する表示画像の劣化を改善することができ、非常に良好な画像を表示することができた。

【0308】また、離散的に補正データを算出し、離散的に計算した点と点の間はそれを補間して求めることにより、補正データを非常に簡単に計算させることができ、さらに非常に簡単なハードウェアでそれを実現できるなど、非常に優れた効果があった。

【0309】(補正データ算出手段の適用対象等の他の例)これまでの説明では、補正データ算出手段は、RGBパラレルな画像データから補正データを算出した場合を示したが、特にこれにこだわることはない。

【0310】すなわち、データ配列変換部によりRGBパラレルからRGBシリアルに変換された画像データを用いても補正データを求めることができることは言うまでもない。

【0311】この場合、補正データを算出するのに必要な時間を確保するために、RGBシリアルな画像データを遅延するためのレジスタ、もしくはメモリが必要となるが、同様な補正を施すことができることは言うまでもない。

【0312】また、これまでの説明では、補正データ算出手段した結果をデータ配列変換された、RGBシリアルな画像データに施した例を示したが、とくにこれにこだわることはない。

【0313】すなわち、データ配列変換部を単なるライ

ンメモリで置き換え、パラレルな画像データを入力し、パラレルな画像データを出力するものとしても、ハードウェアの簡単な修正によって補正を施すことができることは言うまでもない。

【0314】もちろん、上記構成は、画像データのデータ配列変換(パラレル・シリアル変換)を行うのに必要であったラインメモリと、そこでの遅延時間を積極的に利用し、その遅延時間中に補正データを計算するとともに、シリアルな画像データに補正を施すことにより、ハードウェア量を節減する効果があることは言うまでもない。

【0315】以上のように、上述のように構成された画像表示装置によれば、従来からの課題であった、走査配線上の電圧降下による表示画像の劣化を好適に改善することができた。

【0316】また、いくつかの近似を導入したことにより、電圧降下を補正するための、画像データの補正量を好適かつ簡単に計算することができ、非常に簡単なハードウェアでそれを実現することができるなど、非常に優れた効果があった。

【0317】(第2の実施形態)第1の実施形態では、入力画像データに対し、離散的な画像データの基準値を設定するとともに、行配線上に基準点を設定し、該基準点における、画像データ基準値の大きさの画像データに対する補正データを算出していた。

【0318】さらに離散的に算出された補正データを補間することにより、入力された画像データの水平表示位置と、その大きさに応じた補正データを算出し、画像データと加算することにより、補正を実現していた。

【0319】一方、上述の構成とは別に下記の構成によっても同様な補正が行える。離散的な水平位置と、画像データ基準値に対する、補正画像データ(すなわち前記離散的補正データと画像データ基準値の和である補正の結果)を算出し、さらに離散的に算出された補正画像データを補間し、入力された画像データの水平表示位置と、その大きさに応じた補正画像データを算出する。

【0320】補正画像データは、オーバーフローがおきないように、最大値検出手段および乗算器、およびゲイン算出手段に入力され、リミッタ、シフトレジスタ、ラッチ回路を介して変調手段に入力される。変調手段は入力データに従って変調をおこなってもよい。

【0321】このような構成では、離散的に補正結果を算出する際に、画像データと補正データの加算を行っているため、補間後に画像データと補正データの加算を行う必要はない。

【0322】

【発明の効果】以上説明したように、本発明の画像表示装置によれば、従来からの課題であった、走査配線上の電圧降下による表示画像の劣化を好適に改善することができた。また、いくつかの近似を導入したことにより、

電圧降下を補正するための、画像データの補正量を簡単に好適に計算することができ、非常に簡単なハードウェアでそれを実現することができるなど、非常に優れた効果があった。

【図面の簡単な説明】

【図 1】本発明の実施の形態に係る画像表示装置の概観を示す図である。

【図 2】表示パネルの電気的な接続を示す図である。

【図 3】表面伝導型放出素子の特性を示す図である。

【図 4】表示パネルの駆動方法を示す図である。

【図 5】電圧降下の影響を説明する図である。

【図 6】縮退モデルを説明する図である。

【図 7】離散的に算出した電圧降下量を示すグラフである。

【図 8】離散的に算出した放出電流の変化量を示すグラフである。

【図 9】補正データの他の算出方法を説明するための図である。

【図 10】画像データの大きさが 128 の場合の補正データの算出例を示す図である。

【図 11】画像データの大きさが 192 の場合の補正データの算出例を示す図である。

【図 12】補正データの補間方法を説明するための図である。

【図 13】補正回路を内蔵した画像表示装置の概略構成を示すブロック図である。

【図 14】画像表示装置の走査回路の構成を示すブロック図である。

【図 15】画像表示装置の逆  $\gamma$  処理部の構成を示すブロック図である。

【図 16】画像表示装置のデータ配列変換部の構成を示すブロック図である。

【図 17】画像表示装置の変調手段の構成及び動作を説明する図である。

【図 18】画像表示装置の変調手段のタイミングチャートである。

【図 19】画像表示装置の補正データ算出手段の構成を示すブロック図である。

【図 20】画像表示装置の離散的補正データ算出部の構

成を示すブロック図である。

【図 21】補正データ補間部の構成を示すブロック図である。

【図 22】直線近似手段の構成を示すブロック図である。

【図 23】画像表示装置のタイミングチャートである。

【図 24】本発明の実施の形態に係る画像表示装置の入力制限手段の一例を説明するための図である。

【図 25】本発明の実施の形態に係る画像表示装置の入力制限手段の一例を説明するための図である。

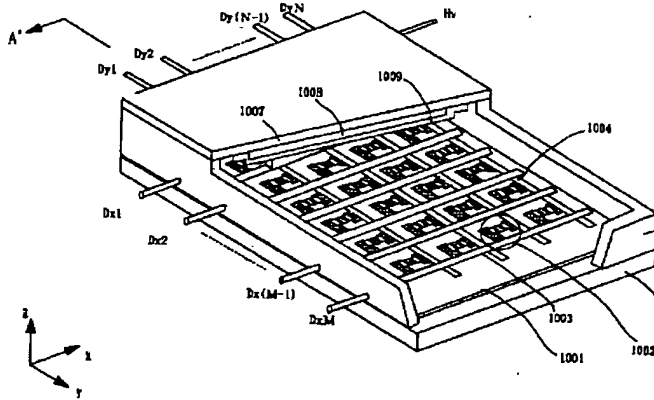
【図 26】本発明の逆  $\gamma$  変換手段と、入力制限手段を単一のテーブルメモリで構成した場合のテーブルメモリに記憶させる特性の例である。

【図 27】従来の画像表示装置の構成を示すブロック図である。

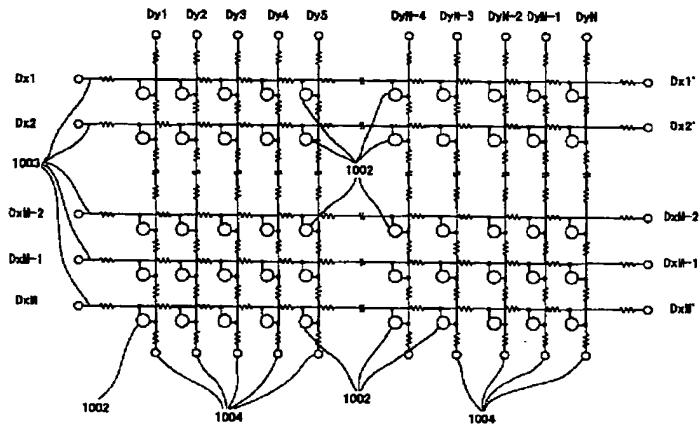
【符号の説明】

- 1 表示パネル
- 2 走査回路
- 8 パルス幅変調手段
- 12 加算器
- 14 補正データ算出手段
- 17 逆  $\gamma$  処理部
- 19 遅延回路
- 20 最大値検出回路
- 21 ゲイン算出手段
- 22 乗算器
- 24 入力制限手段
- 100a, 100b, 100c 点灯数カウント手段
- 101a, 101b, 101c レジスタ群
- 103 テーブルメモリ
- 110 テーブルメモリ
- 107a, 107b, 107c コンパレータ
- 123, 124 デコーダ
- 1001 基板
- 1002 冷陰極素子
- 1003 行配線（走査配線）
- 1004 列配線（変調配線）
- 1007 フェースプレート
- 1008 蛍光膜

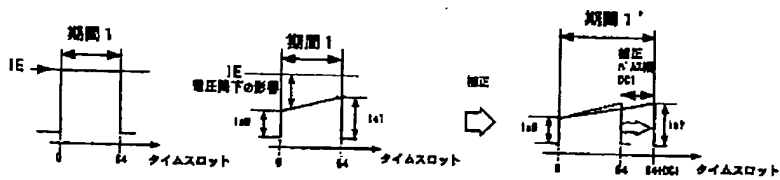
【図1】



【図2】



【図9】



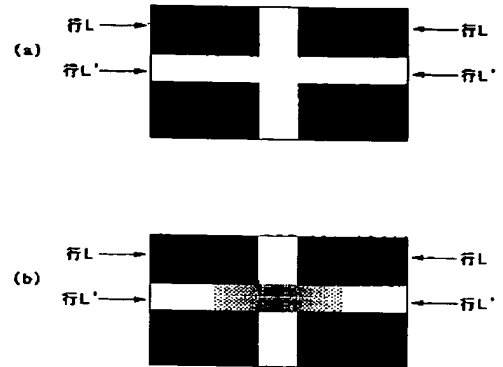
※ IE: 電圧降下のないときに放出される放出電流

(a) 電圧降下がない時の放出電流パルス

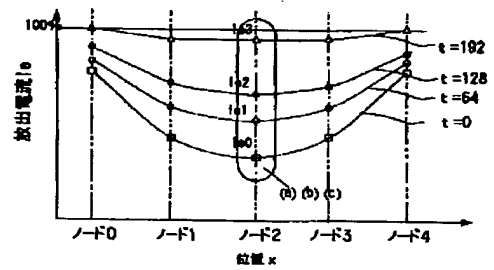
(b) 実際の放出電流パルス

(c) 補正後の放出電流パルス

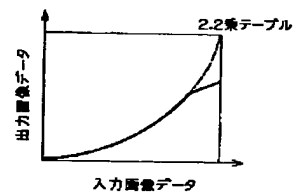
【図5】



【図8】

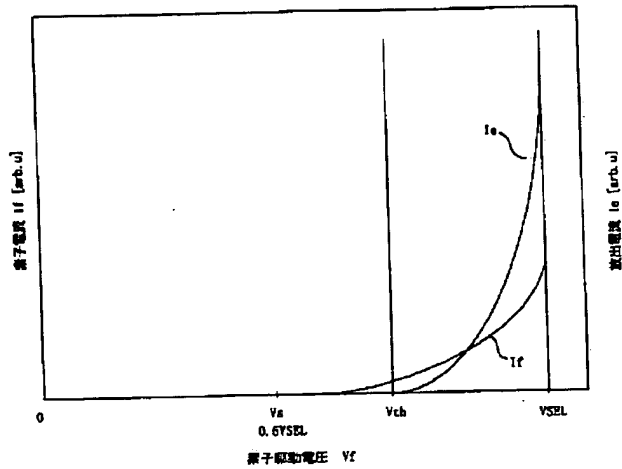


【図26】

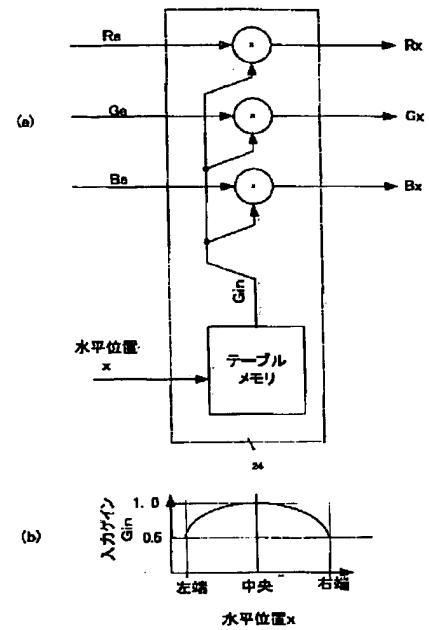




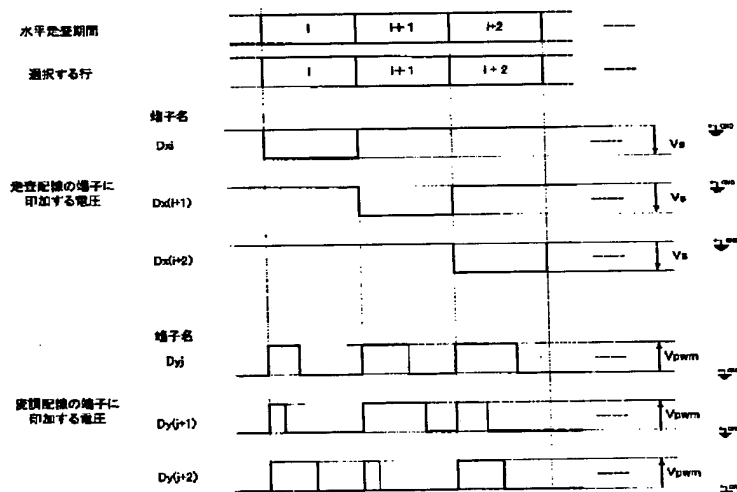
【図3】



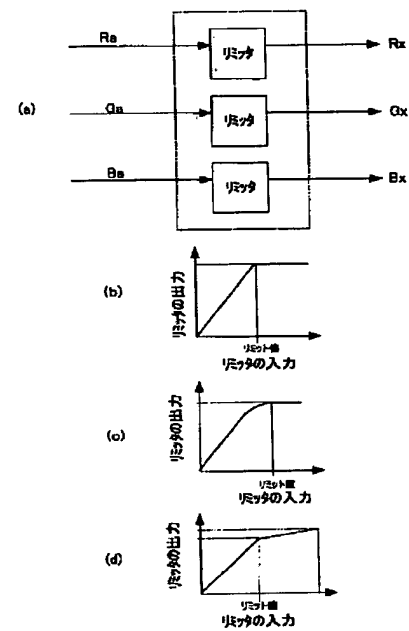
【図24】



【図4】

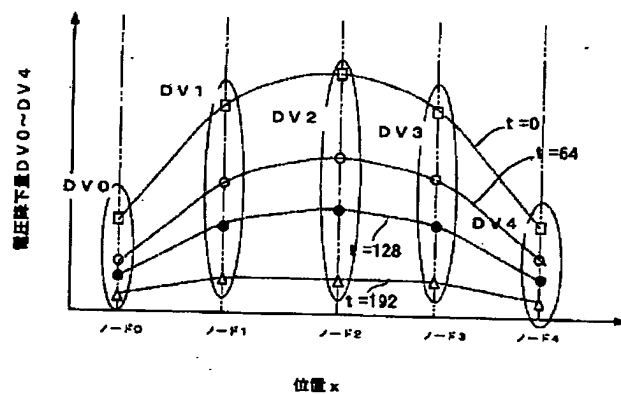


【図25】

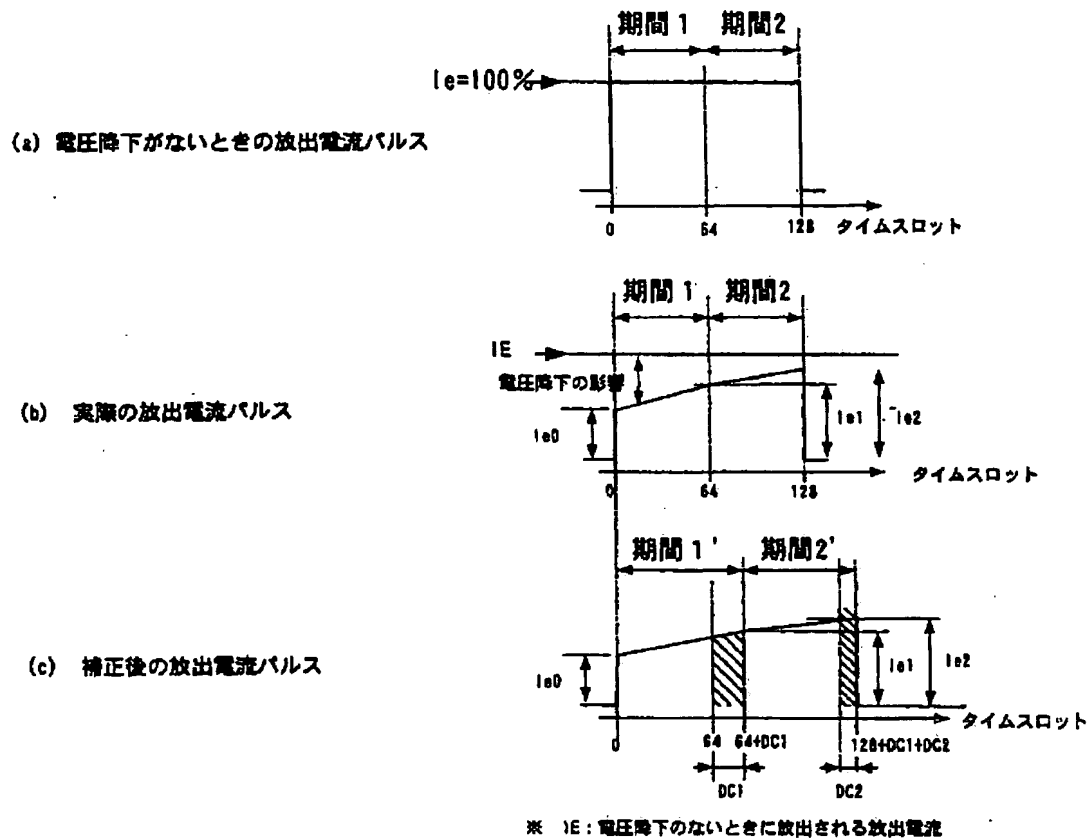


[illegible]

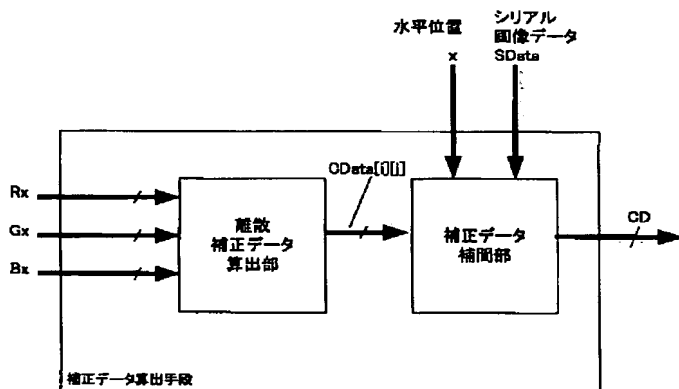
【図 7】



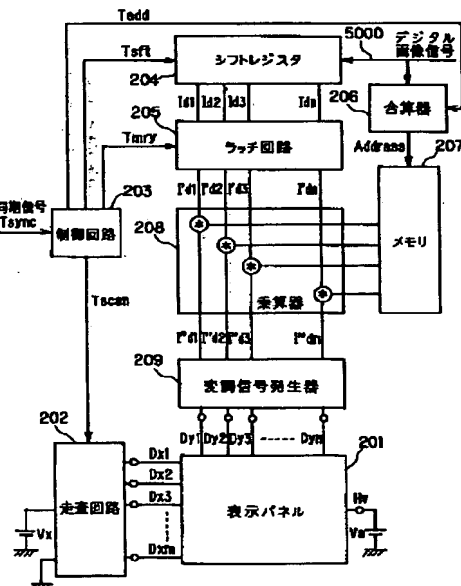
【図10】



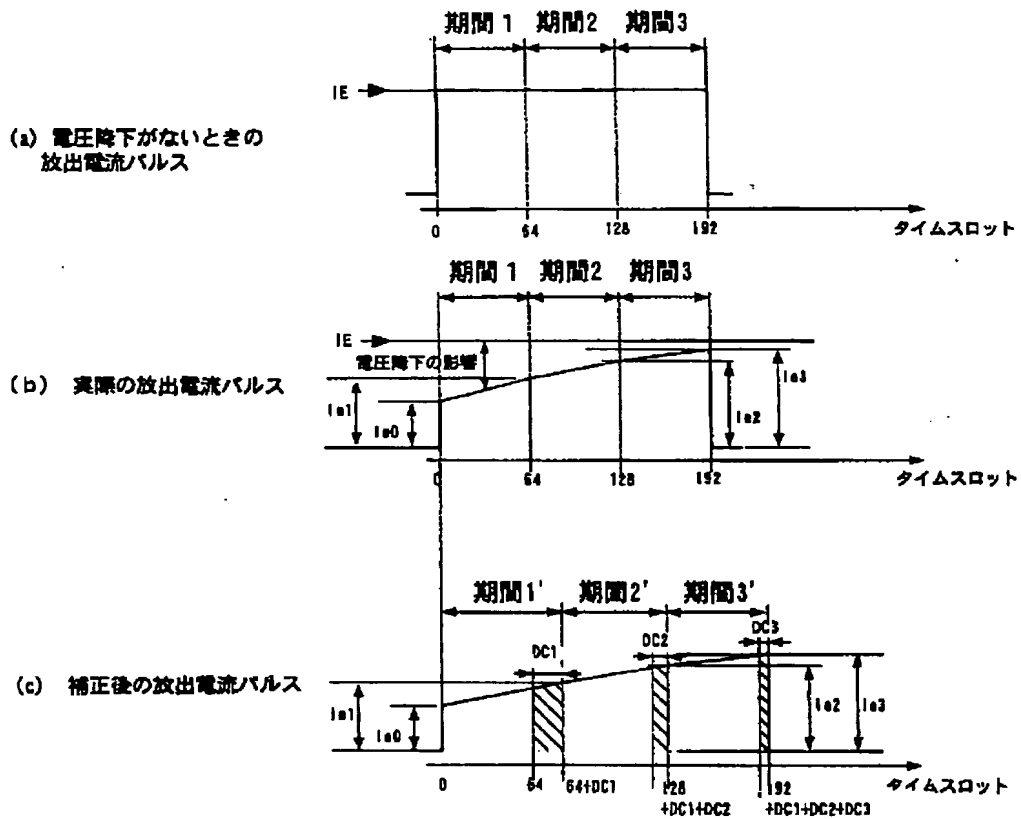
【図19】



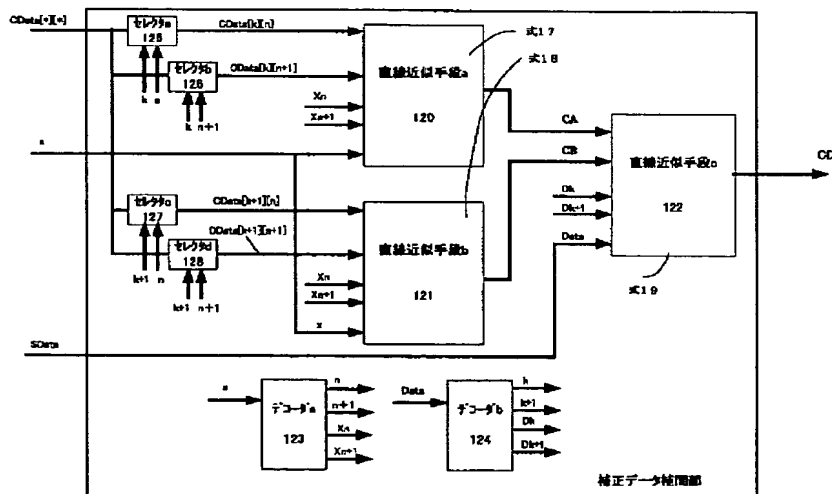
【図27】



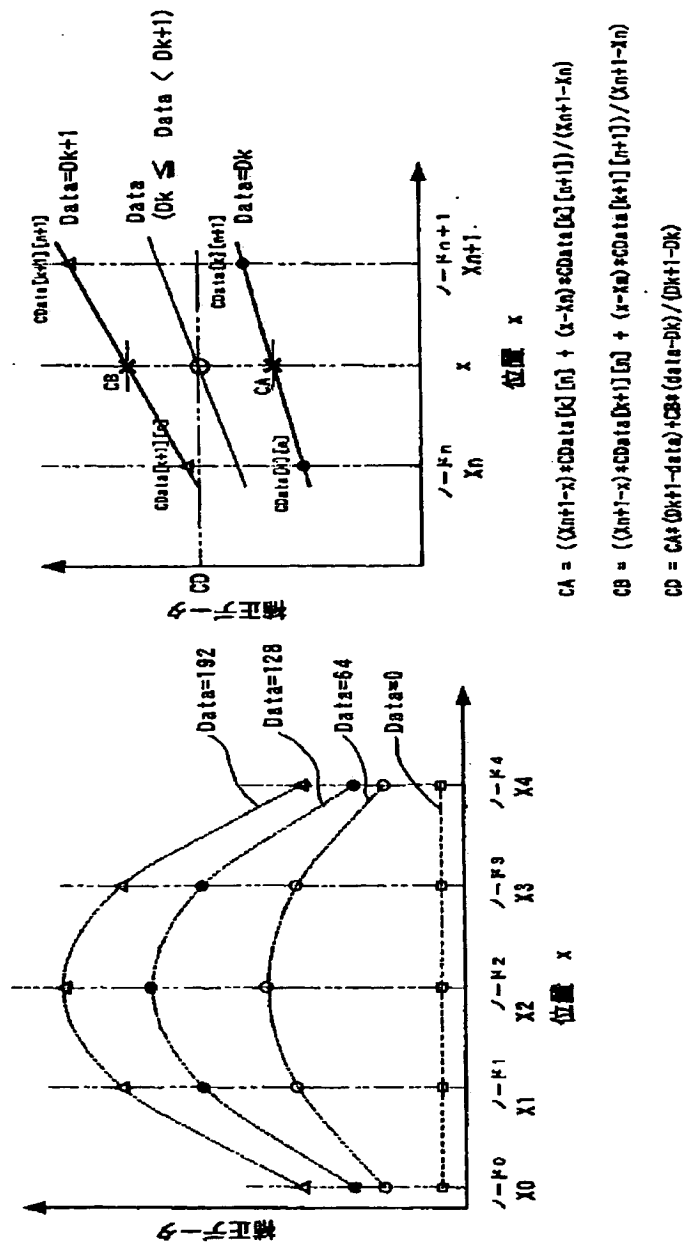
【図11】



【図21】



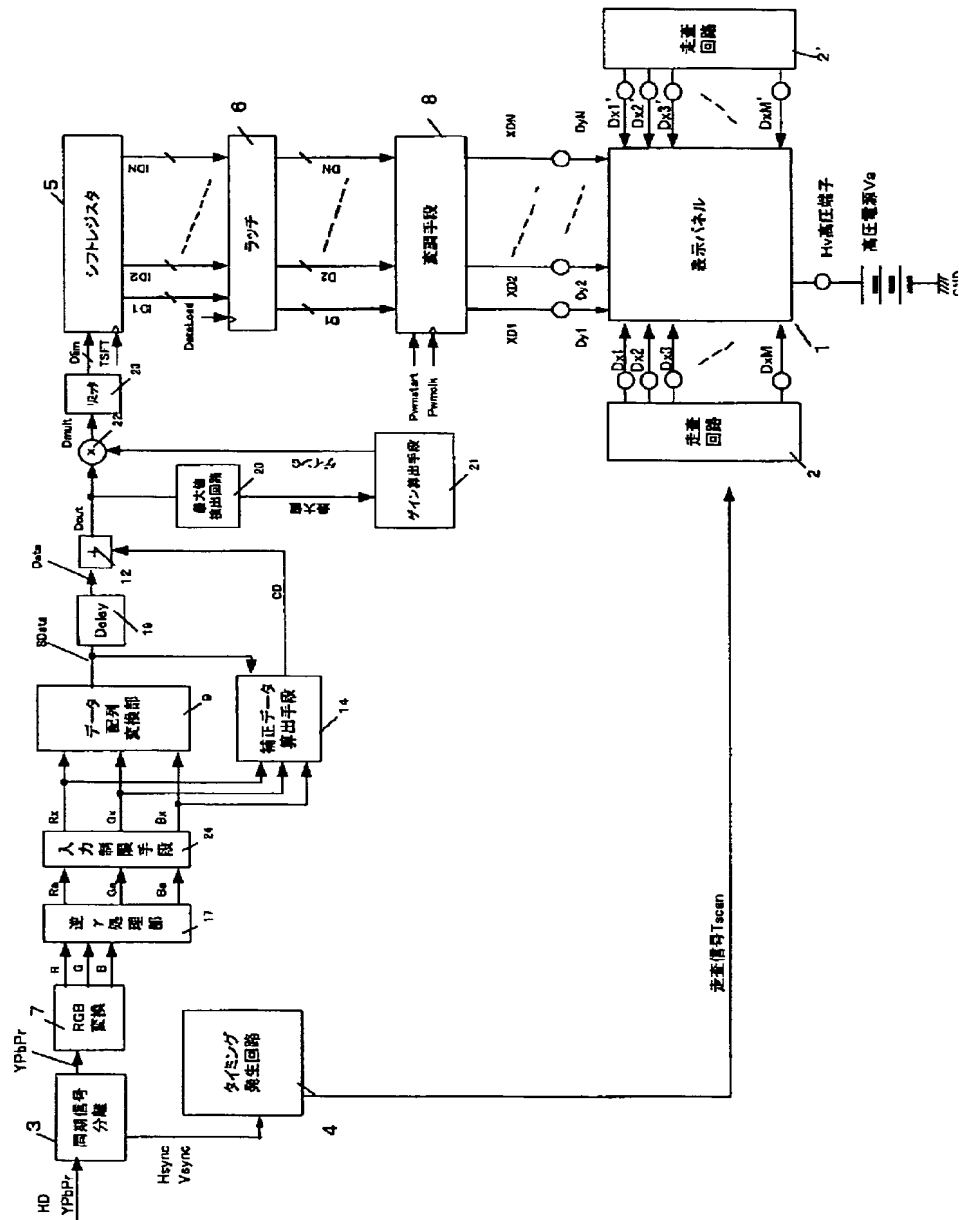
【図12】



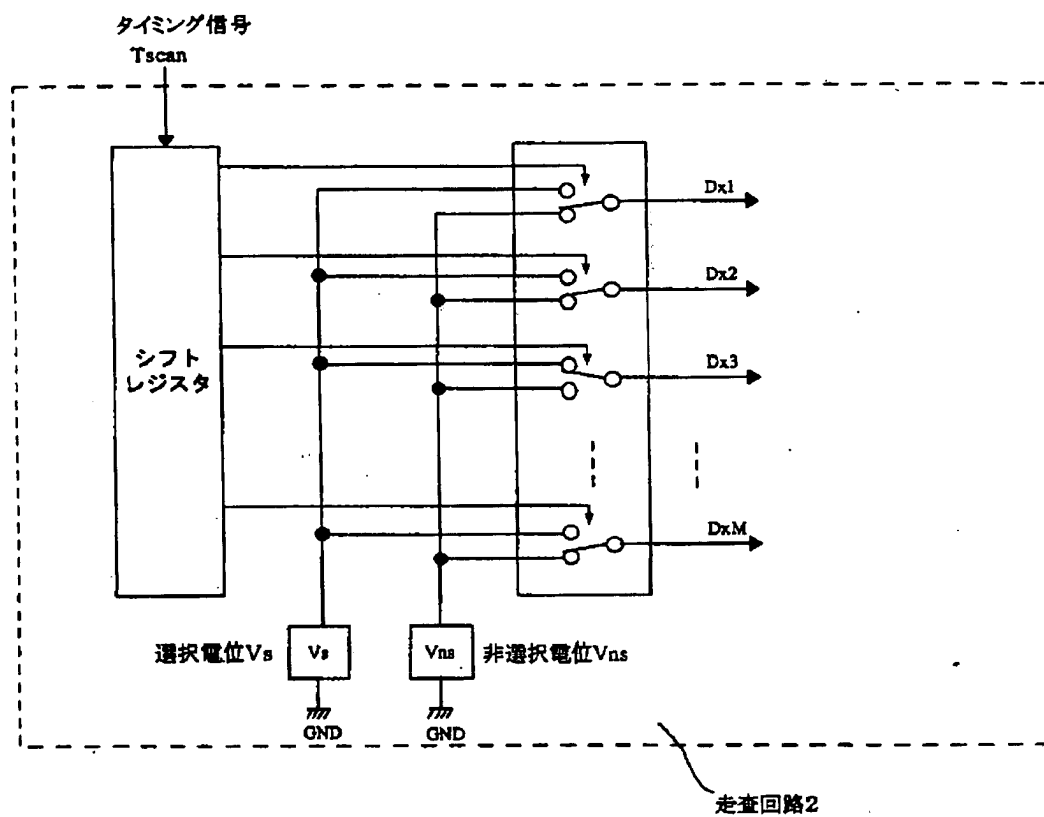
(b)

(a)

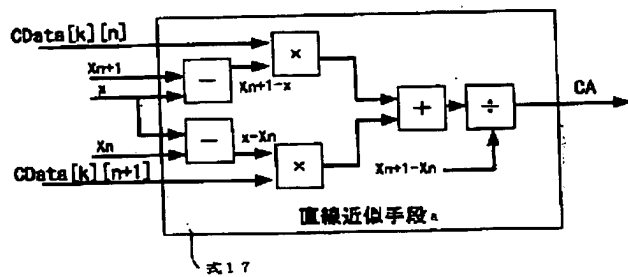
【図13】



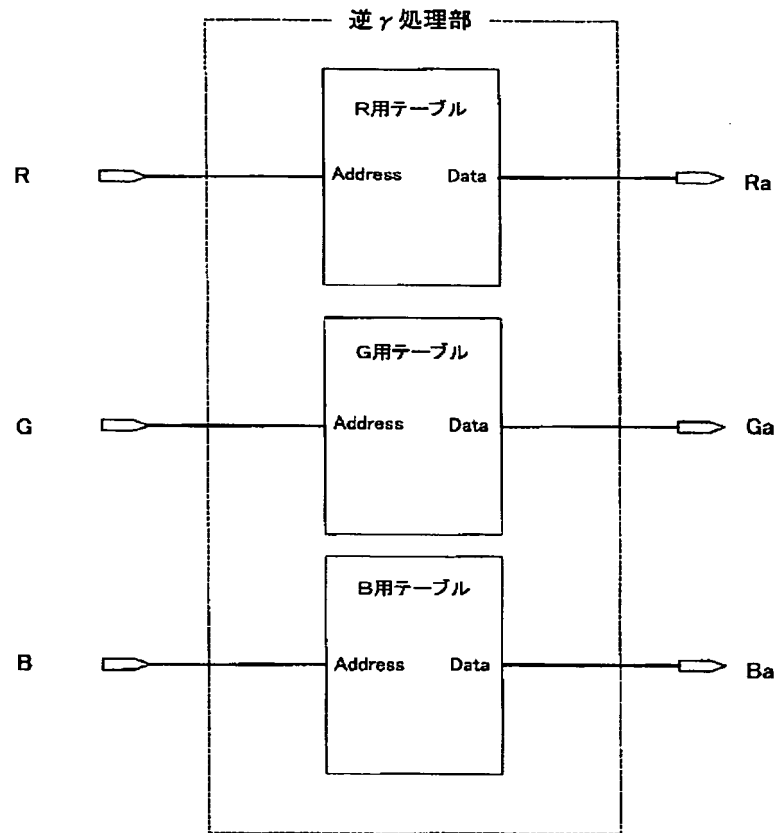
【図14】



【図22】

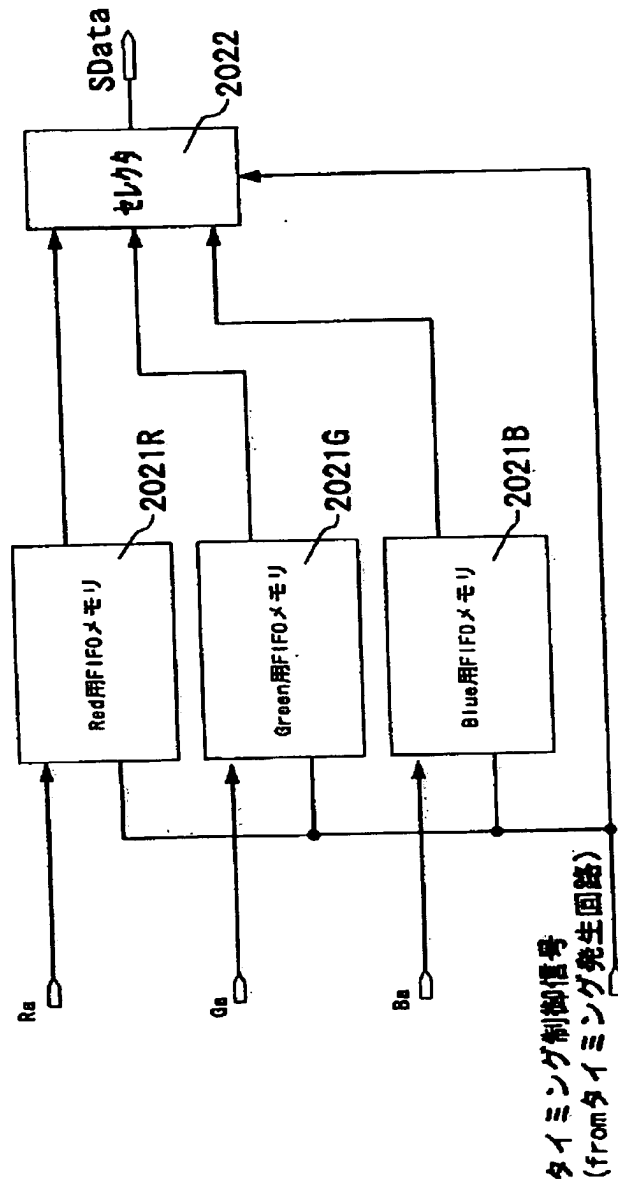


【図15】

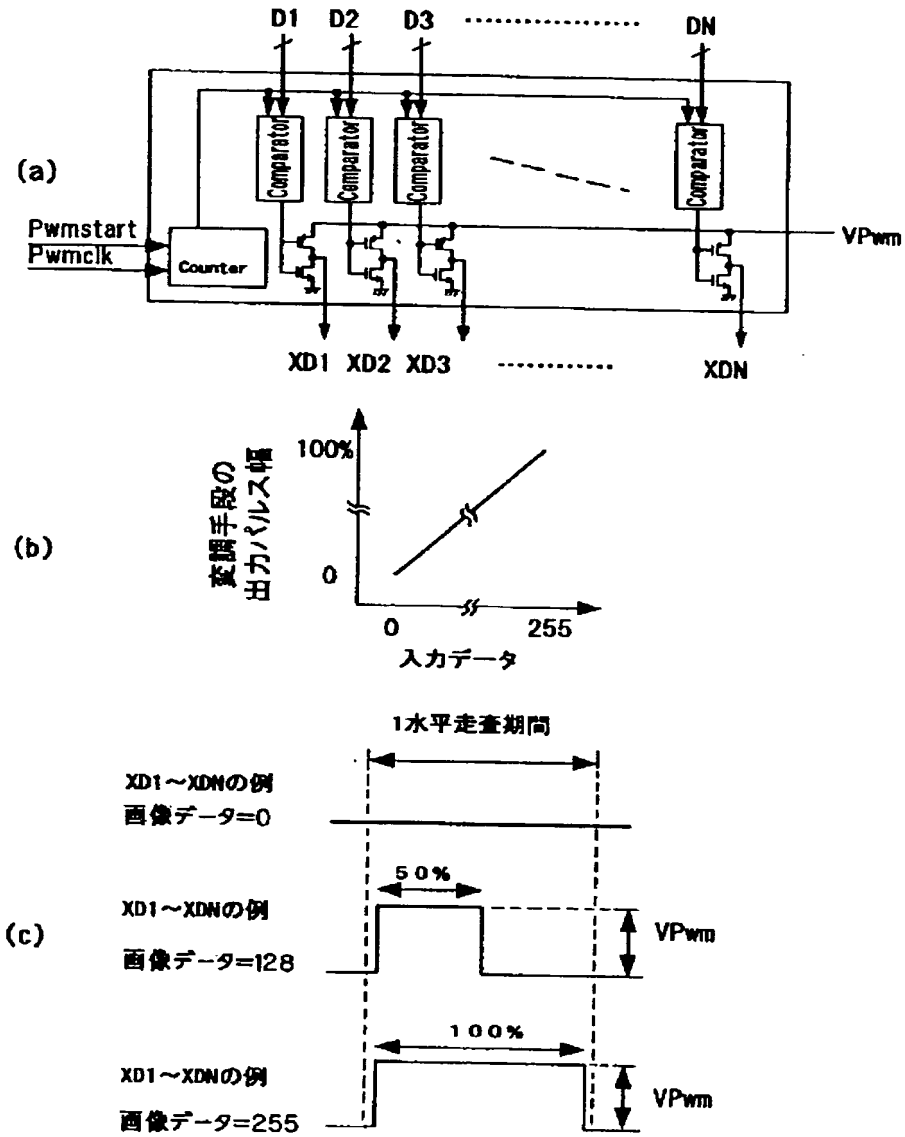




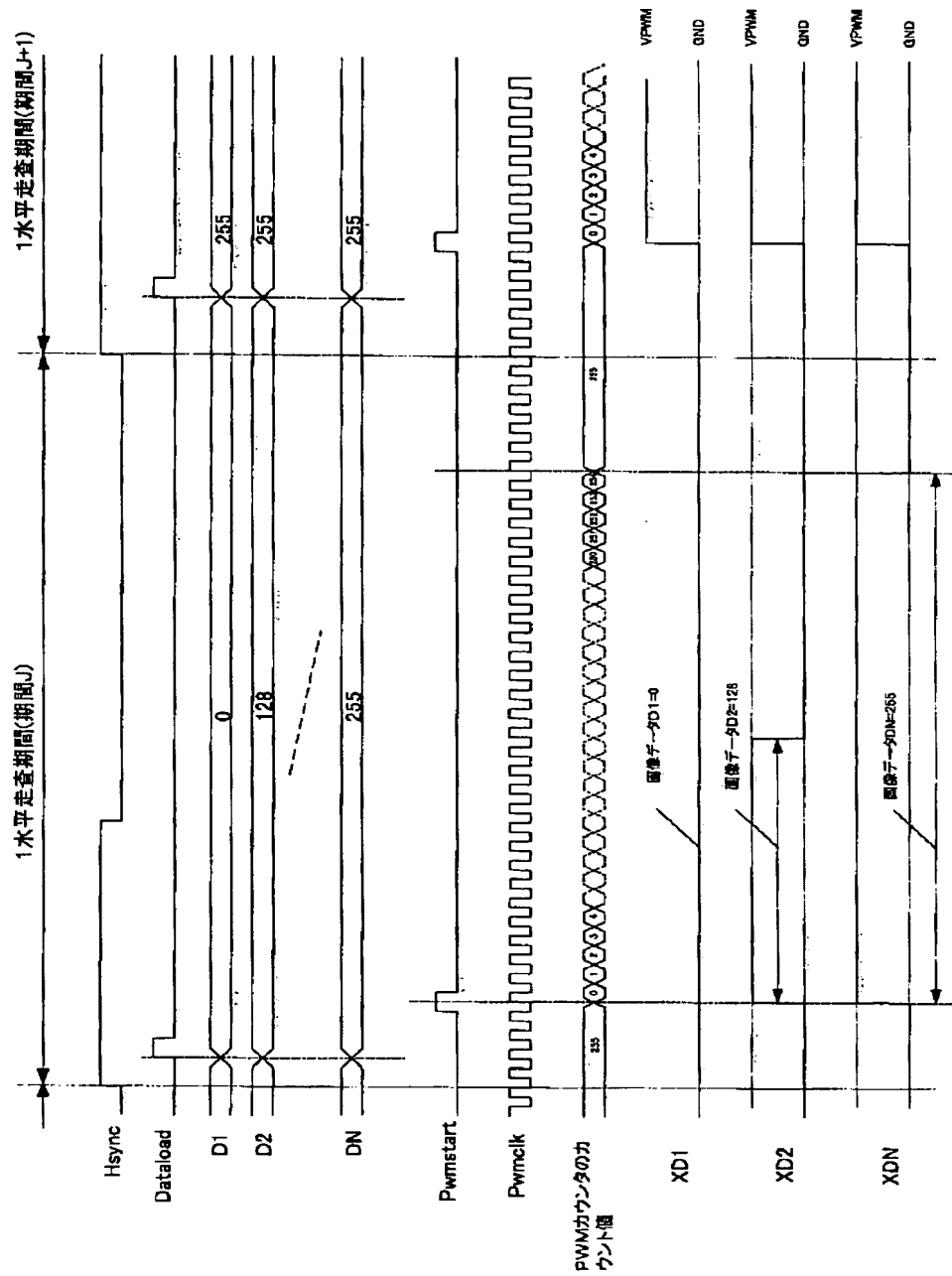
【図16】



【図17】



【図18】



【図20】

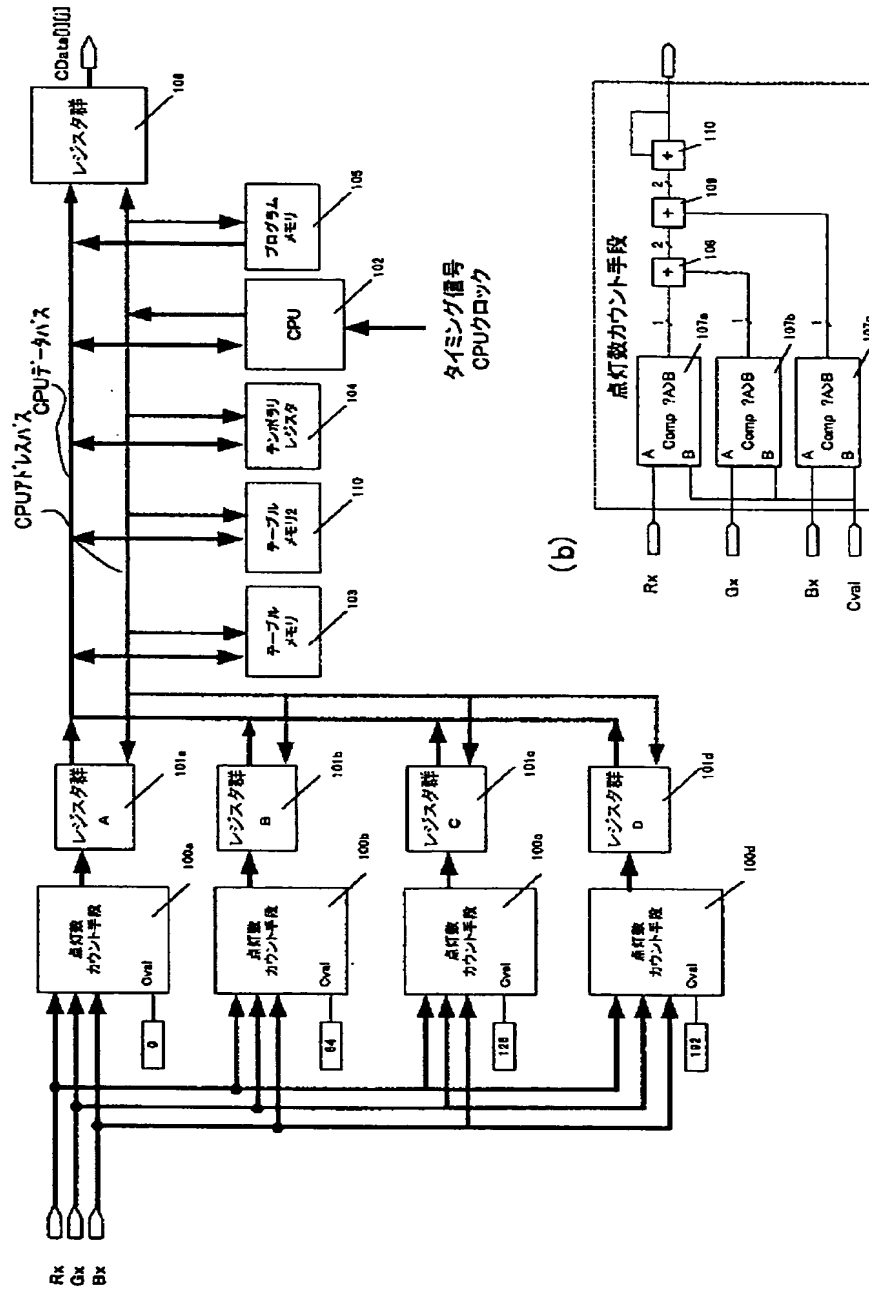
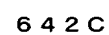


Diagram 1: A circular diagram showing a 4-bit shift register. The input is labeled "Data" and the output is labeled "Data". The register is divided into four stages, each containing a bit value (0, 1, 0, 1) and a corresponding output value (0, 1, 0, 1). The output values are shown in a box labeled "Data".



(72) 発明者 齋藤 裕  
東京都大田区下丸子 3 丁目 30 番 2 号 キヤ  
ノン株式会社内

F ターム (参考) 5C080 AA18 BB05 DD05 EE28 JJ02  
JJ04 JJ05 JJ06